

PlanAhead ソフトウェア 12.3 の新機能

UG656 (v12.3) 2010 年 9 月 21 日





Xilinx is disclosing this Document and Intellectual Property (hereinafter “the Design”) to you for use in the development of designs to operate on, or interface with Xilinx FPGAs. Except as stated herein, none of the Design may be copied, reproduced, distributed, republished, downloaded, displayed, posted, or transmitted in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Any unauthorized use of the Design may violate copyright laws, trademark laws, the laws of privacy and publicity, and communications regulations and statutes.

Xilinx does not assume any liability arising out of the application or use of the Design; nor does Xilinx convey any license under its patents, copyrights, or any rights of others. You are responsible for obtaining any rights you may require for your use or implementation of the Design. Xilinx reserves the right to make changes, at any time, to the Design as deemed desirable in the sole discretion of Xilinx. Xilinx assumes no obligation to correct any errors contained herein or to advise you of any correction if such be made. Xilinx will not assume any liability for the accuracy or correctness of any engineering or technical support or assistance provided to you in connection with the Design.

THE DESIGN IS PROVIDED “AS IS” WITH ALL FAULTS, AND THE ENTIRE RISK AS TO ITS FUNCTION AND IMPLEMENTATION IS WITH YOU. YOU ACKNOWLEDGE AND AGREE THAT YOU HAVE NOT RELIED ON ANY ORAL OR WRITTEN INFORMATION OR ADVICE, WHETHER GIVEN BY XILINX, OR ITS AGENTS OR EMPLOYEES. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DESIGN, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, TITLE, AND NONINFRINGEMENT OF THIRD-PARTY RIGHTS.

IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOST DATA AND LOST PROFITS, ARISING FROM OR RELATING TO YOUR USE OF THE DESIGN, EVEN IF YOU HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES. THE TOTAL CUMULATIVE LIABILITY OF XILINX IN CONNECTION WITH YOUR USE OF THE DESIGN, WHETHER IN CONTRACT OR TORT OR OTHERWISE, WILL IN NO EVENT EXCEED THE AMOUNT OF FEES PAID BY YOU TO XILINX HEREUNDER FOR USE OF THE DESIGN. YOU ACKNOWLEDGE THAT THE FEES, IF ANY, REFLECT THE ALLOCATION OF RISK SET FORTH IN THIS AGREEMENT AND THAT XILINX WOULD NOT MAKE AVAILABLE THE DESIGN TO YOU WITHOUT THESE LIMITATIONS OF LIABILITY.

The Design is not designed or intended for use in the development of on-line control equipment in hazardous environments requiring fail-safe controls, such as in the operation of nuclear facilities, aircraft navigation or communications systems, air traffic control, life support, or weapons systems (“High-Risk Applications”) Xilinx specifically disclaims any express or implied warranties of fitness for such High-Risk Applications. You represent that use of the Design in such High-Risk Applications is fully at your risk.

© 2010 Xilinx, Inc. All rights reserved. XILINX, the Xilinx logo, and other designated brands included herein are trademarks of Xilinx, Inc. All other trademarks are the property of their respective owners.

Demo Design License

© 2010 Xilinx, Inc.

This Design is free software; you can redistribute it and/or modify it under the terms of the GNU Lesser General Public License as published by the Free Software Foundation; either version 2.1 of the License, or (at your option) any later version.

This library is distributed in the hope that it will be useful, but WITHOUT ANY WARRANTY; without even the implied warranty of MERCHANTABILITY or FITNESS FOR A PARTICULAR PURPOSE. See the GNU Lesser General Public License for more details.

You should have received a copy of the GNU Library General Public License along with this design file; if not, see: <http://www.gnu.org/licenses/>



PlanAhead™ ソースコードには、次のプログラムのソースコードが使用されています。

CenterPoint XML

- The initial developer of the original code is CenterPoint – Connective Software
- Software Engineering GmbH. portions created by CenterPoint – Connective Software
- Software Engineering GmbH. are Copyright© 1998-2000 CenterPoint - Connective Software Engineering GmbH.All Rights Reserved.Source code for CenterPoint is available at <http://www.cpointc.com/XML/>

NLView Schematic Engine

- Copyright© Concept Engineering.

Static Timing Engine by Parallax Software Inc.

- Copyright © Parallax Software Inc.

Java Two Standard Edition

- Includes portions of software from RSA Security, Inc. and some portions licensed from IBM are available at <http://oss.software.ibm.com/icu4j/>
- Powered By JIDE – <http://www.jidesoft.com>

Free IP Core License

This is the Entire License for all of our Free IP Cores.

Copyright (C) 2000-2003, ASICs World Services, LTD.AUTHORS

All rights reserved.

Redistribution and use in source, netlist, binary and silicon forms, with or without modification, are permitted provided that the following conditions are met:

Redistributions of source code must retain the above copyright notice, this list of conditions and the following disclaimer.

Redistributions in binary form must reproduce the above copyright notice, this list of conditions and the following disclaimer in the documentation and/or other materials provided with the distribution.

Neither the name of ASICs World Services, the Authors and/or the names of its contributors may be used to endorse or promote products derived from this software without specific prior written permission.

THIS SOFTWARE IS PROVIDED BY THE COPYRIGHT HOLDERS AND CONTRIBUTORS "AS IS" AND ANY EXPRESS OR IMPLIED WARRANTIES, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE ARE DISCLAIMED. IN NO EVENT SHALL THE COPYRIGHT OWNER OR CONTRIBUTORS BE LIABLE FOR ANY DIRECT, INDIRECT, INCIDENTAL, SPECIAL, EXEMPLARY, OR CONSEQUENTIAL DAMAGES (INCLUDING, BUT NOT LIMITED TO, PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES; LOSS OF USE, DATA, OR PROFITS; OR BUSINESS INTERRUPTION) HOWEVER CAUSED AND ON ANY THEORY OF LIABILITY, WHETHER IN CONTRACT, STRICT LIABILITY, OR TORT (INCLUDING NEGLIGENCE OR OTHERWISE) ARISING IN ANY WAY OUT OF THE USE OF THIS SOFTWARE, EVEN IF ADVISED OF THE POSSIBILITY OF SUCH DAMAGE.

目次

PlanAhead ソフトウェア 12.3 の新機能	5
リファレンス	5
PlanAhead の新機能と修正点	6
新規または修正されたデバイス サポート	6
新規または修正された CORE Generator サポート	6
ピン配置機能の変更点	6
Spartan-6 同時スイッチ ノイズ予測機能の拡張	7
プロジェクト管理機能の新機能と修正点	7
デザイン ルール チェックの新機能と修正点	8
GUI の新機能と修正点	9
マクロ ロケーションの入れ替え機能	9
ChipScope の統合	9
パーシャル リコンフィギュレーションのサポート	9
新規マニュアル	10
その他の修正された問題	10
既知の問題	10
付録 A : PlanAhead ソフトウェア 12.2 の新機能	11
GUI の新機能と修正点	11
付録 B : PlanAhead ソフトウェア 12.1 の新機能	15

PlanAhead ソフトウェア 12.3 の新機能

このマニュアルでは PlanAhead™ ソフトウェア 12.3 に含まれる新機能の概要について説明します。

このマニュアルは ISE® Design Suite 12 をご使用の方を対象としています。前のバージョンを使用する場合でも、PlanAhead 12.3 にアップグレードする利点があります。ISE 10.1 およびそれ以降のバージョンは、制限付きでサポートされます。たとえば、CORE Generator™ ツールとの連動といった特定機能は、ISE 12.3 と一緒にインストールした場合にのみサポートされます。

ISE Design Suite 12.3 に含まれる PlanAhead ソフトウェア 12.3 では、前リリースの問題は修正されています。PlanAhead ソフトウェアには、新機能も含まれます。この文書では、主な問題の修正点と新機能について説明しています。

リファレンス

このマニュアルでは、次の文書を参照しています。

『ISE Design Suite 12 : インストール、ライセンス、リリース ノート』(UG631)

http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_3/irn.pdf

『PlanAhead ユーザー ガイド』(UG632)

http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_3/PlanAhead_UserGuide.pdf

『フロアプラン手法ガイド』(UG633)

http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_3/Floorplanning_Methodology_Guide.pdf

『階層デザイン手法ガイド』(UG748)

http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_3/Hierarchical_Design_Methodology_Guide.pdf

ユーザー ライセンス

<http://japan.xilinx.com/getproduct>

『パーシャル リコンフィギュレーション ユーザー ガイド』(UG702)

<http://japan.xilinx.com/tools/partial-reconfiguration>

PlanAhead チュートリアル

http://japan.xilinx.com/support/documentation/dt_planahead_planahead12-3_tutorials.htm

PlanAhead の新機能と修正点

次のセクションでは、12.3 リリースで新規または修正された PlanAhead の機能について説明しています。

新規または修正されたデバイス サポート

12.3 では、PlanAhead で次がサポートされるようになりました。

- Spartan-6 -3N スピード グレード
- XA Spartan-6 -3I および -3Q スピード グレード

12.3 リリースの PlanAhead では、次のスピード グレード問題が修正されています。

- Virtex-5 スピード グレードを追加
- xc6hx380tff1924 -3 デバイスのタイミング解析をイネーブ

新規または修正された CORE Generator サポート

PlanAhead 12.3 では、コアの生成に次の機能が追加されています。

- IP カタログが次のように変更されました。
 - AXI コアの表示 : IP カタログに **Advanced Extensible Interface (AXI)** 準拠のコアをリストする列を追加して、AXI ベースの IP コアのサポートを追加
 - 最新バージョンの表示 : 製品ステータス (ベータ、製品化前、製品化) に関係なく、コアの最新のサポートバージョンが表示されるように IP カタログを改善
- コアをリセットして異なるターゲットソースタイプ (Verilog や VHDL など) に変更できるようになりました。
- コアのフォルダは、[Sources] ビューにデフォルトで展開表示されるようになりました。
- カスタマイズまたはインポート エラーが発生する場合は、それに対する説明が表示されます。

ピン配置機能の変更点

次のセクションでは、PlanAhead 12.3 の I/O ピン配置機能の変更点について説明します。

パッケージ ピンおよび I/O ポートの表の編集

PlanAhead 12.3 では、I/O 規格、駆動電流、スルー レートなどのピン制約を [Package Pins] および [I/O Port] ビューでプルダウン メニューや表に直接値を入力することで、変更できるようになっています。

新規ポート ロケーションの入れ替え機能

PlanAhead 12.3 では、2 つのポートのピン ロケーションを入れ替える機能が PlanAhead のピン配置機能セットに追加されています。これを実行するには、2 つのポートを選択し、それぞれをパッド サイトに配置してから、[Swap Locations] をクリックします。ロケーションがデザイン ルール チェック (DRC) に従って有効になったら、2 つのポートのロケーション制約が入れ替わります。このコマンドは、2 つのポートを選択している場合にのみ使用できます。マルチギガビット トランシーバ (MGT) インスタンスに関するポートの場合、ロケーションが有効であれば、MGT サイト全体が入れ替わります。

コンフィギュレーション モード変更後のパッケージ ピンの並び替え機能の拡張

PlanAhead 12.3 では、コンフィギュレーション設定を変更後にパッケージ ピンの表を変更できるようになりました。前のリリースでは、PlanAhead でコンフィギュレーション モードを変更しても、表にそれがすぐに反映されませんでした。

パーツおよびパッケージに基づいたコンフィギュレーション モード

PlanAhead 12.3 リリースでは、使用可能なコンフィギュレーション モードが現在のデバイスのコンフィギュレーション モードにのみ制限されています。無効なコンフィギュレーション モードは設定できません。

[I/O Ports] ビューの新しい列

PlanAhead 12.3 の [I/O Ports] ビューに Vcco と Vref 電圧要件の列が追加されています。

Spartan-6 同時スイッチ ノイズ予測機能の拡張

PlanAhead 12.3 の Spartan-6 の同時スイッチ ノイズ (SSN) 解析で、各ピン配置が考慮されるようになりました。これにより、I/O バンクレベルで計測されていた 12.2 リリースよりもアプローチが改善されています。

プロジェクト管理機能の新機能と修正点

次のセクションでは、PlanAhead 12.3 プロジェクトに対する新機能および修正された機能について説明します。

RTL ソースをコピーせずに run を起動可能

PlanAhead 12.3 では、RTL ソースがデフォルトで合成の run ディレクトリにコピーされなくなっています。

RTL ソースは元のソース ディレクトリに残ったままになり、合成が実行されると、合成 run ディレクトリにソースがコピーされることなく、ソース ディレクトリからファイルが直接読み込まれます。

これにより、参照されるソース ファイルの相対的なファイル構造が保持され、ディスク容量も節約できます。これは、[Synthesis Launch Options] の新しいオプション、[Copy RTL Sources into Launch Directory] で制御できます。デフォルトはオフで、コピーされないようになっています。

メモ : この機能は、RTL ソースにのみ適用できます。ネットリスト ソース、IP、制約ファイルは、これまでどおり、常にインプリメンテーションの run ディレクトリにコピーされます。

合成の期限切れ情報表示機能

PlanAhead 12.3 では、合成の期限切れ (out-of-date) を示す箇所の横に [more] ボタンが追加され、そのファイルまたは合成の期限切れの理由が表示されるようになりました。

[Add Directories] コマンドの変更

PlanAhead 12.3 では、追加ファイルがあるかどうかについて、ソース ディレクトリが監視されなくなっています。[Add Directories] コマンドを使用すると、このコマンドを使用した時点でディレクトリに存在するファイルのみがプロジェクトに追加されます。ファイルやディレクトリを追加するには、[Add/Create Sources] コマンドを使用してプロジェクトに直接追加する必要があります。

ファイル管理

PlanAhead 12.3 での変更点は、次のとおりです。

手動のファイル順序変更

PlanAhead 12.3 では、RTL ソースのコンパイル順序をユーザーが制御できるようになりました。次の操作を実行できます。

- [Sources] ビューに合成でコンパイルされる順番にソースをドラッグ アンド ドロップできます。[Sources] ビューに表示される順に合成でコンパイルされるので、リストの最初のファイルが最初にコンパイルされます。
- 各ソース タイプのカテゴリ内で手動でファイルの順番を変更します。
- UCF ファイルの処理順も同じように制御できるので、制約の優先度の競合問題を処理できるようになっています。

バックアップ ジャーナル ファイル

PlanAhead 12.3 では、起動時に `planahead.jou_backup` という `project_name.jou` のバックアップ ファイルが作成されます。このバックアップ ファイルは、ジャーナル ファイルと同じディレクトリに書き込まれます。

デザインの保存

PlanAhead 12.3 では、デザインを保存する際に `-force` オプションを含めることができるようになりました。

BitGen に渡される PCF

PlanAhead 12.3 では、物理制約ファイル (PCF) が BitGen に渡されるようになっています。

run 機能のコピー

PlanAhead 12.3 には、[Copy Run] ウィンドウのコンテキスト メニューに [Copy Run] コマンドが含まれるようになりました。

デザイン ルール チェックの新機能と修正点

次は、PlanAhead 12.3 で新規および修正されたデザイン ルール チェック (DRC) をリストしています。

- 「Select I/O to GTP Crosstalk」ルールを Spartan-6 の I/O DRC に追加 (IOCTMGT)
- 選択したコンフィギュレーション モードで使用されるピンに I/O DRC を追加。この DRC は、コンフィギュレーション後に VREF としても必要とされます (CFGF)。
- 同じパッケージピンの複数 I/O をチェックするように I/O DRC を拡張 (IOCNT)
- 双方向差動ポートの不正な I/O 規格を正しく認識するように I/O DRC を改善 (IOSTDTYPE)
- 次が修正されています。
 - 同じグリッドを共有しないブロックで Pblock が重複していることを知らせていた DRC
 - 無効なエラーを知らせていた DPOR
 - 問題のあったデバッグ文
 - ISE PDRC の run のコンソール デバッグ メッセージ

GUI の新機能と修正点

次は、PlanAhead 12.3 で新規および修正された GUI をリストしています。

[Define Custom Attributes] の削除

PlanAhead 12.3 では、[Properties] ビューに [Define Custom Attributes] が含まれなくなっています。

以前は、PlanAhead の GUI で特定ネットリストの属性をオンザフライで作成できました。属性はインプリメンテーション用に EDIF ファイルへエクスポートされ、[Edit] → [Find] を使用して検索して参照できました。

この場合、ユーザー定義の属性はプロジェクト ネットリスト ソースに保存されず、UCF 制約との潜在的な競合がありました。このため、ユーザー定義の属性を作成する機能は削除されました。

GUI の追加

12.3 リリースの PlanAhead では、次の GUI 機能が追加されています。

- ソース ファイルのみを検索する [Find In Files] のオプションを追加し、正しいファイル数を取得できるようになりました。
- [Getting Started] ウィンドウに [Open Project] のリンクが追加されました。
- インプリメント済みデザインにリソース概算が追加されました。
- [I/O Bank Properties] に [Resources] タブが追加され、該当するクロック領域情報が表示されるようになりました。
- ファイルの処理順に UCF ファイルが表示されるようになりました。
- [Runs] ウィンドウのコンテキスト メニューから [Open Run Directory] オプションを使用して、run ディレクトリでファイル ブラウザを開くことができるようになりました。
- 読み出し専用ファイルが識別しやすくなりました。
- 赤で表示されるファイルが存在しないことを示すツール ヒントが追加されました。
- Tcl コンソールのコンテキスト メニューに [Clear All Output] オプションが追加されました。

マクロ ロケーションの入れ替え機能

PlanAhead 12.3 では、2 つのオブジェクトのロケーション制約をポート ロケーションのように入れ替える機能が追加されています。RAM、DSP、または IP インスタンスなど、同じタイプの 2 つの配置済みインスタンスを選択すると、右クリック メニューを使用してサイトを入れ替えることができます。

この機能は、ブロック RAM および DSP などの大型マクロのサイトを、以前に必要とされた中間段階を踏まずに入れ替える場合に便利です。

ChipScope の統合

PlanAhead 12.3 では、ChipScope™ デバッグ統合に次の機能が追加されています。

- ネットリストのエクスポートで CDC ファイルをエクスポートするオプション
- 自動生成されるコア名にコア タイプを含有
- [Create Debug Core] および Setup ChipScope ウィザード間のコアの命名規則を統一

パーシャル リコンフィギュレーションのサポート

PlanAhead12.3 では、生成されたロジックがリコンフィギュレーション モジュール (RM) の範囲外に表示され、FPGA Editor ではロジックが範囲内に表示されるという RM の矛盾が修正されています。

新規マニュアル

PlanAhead 12.3 では、次の PlanAhead ソフトウェア チュートリアルが新しく追加されました。

「Tcl および SDC コマンドの使用」(UG760)

その他の修正された問題

次は、PlanAhead 12.3 で修正されたさまざまな問題についてリストしています。

- EDIF リーダーで PLL 位相シフトの負の値が認識されないという問題は修正されています。
- BRAM を新しいサイトに移動する際のパフォーマンスを改善しました。
- メッセージ コンソールでの合成の警告/情報メッセージを非表示にする動作を修正しました。

既知の問題

既知の問題は、次のアンサーにまとめられています。

<http://japan.xilinx.com/support/answers/37295.htm>

付録 A : PlanAhead ソフトウェア 12.2 の新機能

この付録では、PlanAhead ソフトウェア 12.2 に含まれる新機能の概要について説明します。

PlanAhead 12.2 の新機能と修正点

PlanAhead 12.2 の主な新機能は次のとおりです。

- 「ピン配置の変更点」で説明されている Spartan®-6 デバイス ファミリの SSN 予測
- 「GUI の新機能」で説明されている FPGA Editor へのタイミング パスのクロスプローブ
- 「GUI の新機能」で説明されている Xilinx Power Analyzer (XPA) の起動のサポート
- 「新しいデザイン例」で説明されている新規デザイン例

次のセクションでは、PlanAhead 12.2 の新機能および修正された機能について説明します。

ピン配置機能の変更点

新しい Spartan-6 の SSN 予測機能

PlanAhead 12.2 には、Spartan-6 デバイス ファミ리를ターゲットとする同時スイッチ ノイズ (SSN) 予測エンジンが新しく含まれています。以前のリリースでは、SSN 予測は Virtex®-6 デバイス ファミリでしか実行されませんでした。これらのアルゴリズムとキャラクターライゼーション データは、Spartan-6 を含めるように拡張されています。この機能は、シグナル インテグリティ問題の感受率の保守的なチェックです。詳細は、アンサー (<http://japan.xilinx.com/support/answers/36167.htm>) を参照してください。

デフォルトの [I/O Ports] ビューの位置の変更

[I/O Ports] ビューは PlanAhead 12.2 でタブ表示から変更され、パッケージピンとデザインの I/O ポートを両方同時に表示できるように、ワークスペースの左上に移動されました。このビューはカスタマイズ可能で、ドッキングさせたり、フローティングさせたりできます。ビューの位置は、タイトル バーをクリックしてワークスペースの [Package Pins] ビューまでドラッグし、そのレイアウトをデフォルトとして保存すると、移動できます。ユーザー レイアウトのカスタマイズ方法については、『PlanAhead ユーザー ガイド』(UG632) の第 4 章「表示環境の使用」を参照してください。

GUI の新機能と修正点

FPGA Editor へのタイミング パスのクロスプローブ機能を追加

PlanAhead 12.2 では、PlanAhead GUI から FPGA Editor へタイミング パスをクロスプローブできるようになりました。この機能を使用するには、[Implemented Design] を開き、[Device] ビューでタイミング パスをクリックし、右クリックで [Cross probe to FPGA Editor] を選択します。FPGA Editor が開いていない場合は、開くかどうか尋ねるメッセージが表示されます。新しい Tcl コマンドを使用すると、クロスプローブを Tcl コンソールまたはスクリプトから実行できます。

XPower Analyzer の新しい起動方法をサポート

PlanAhead 12.2 では、Xilinx Power Analyzer (XPA) を PlanAhead の GUI のインプリメント済み run から起動できるようになりました。この機能を使用するには、デザインをインプリメントしてから、Flow Navigator で [Implemented Design] → [Launch XPower Analyzer] をクリックします。

[Add Source] ボタンを [Add/Create Sources] ボタンへ変更

Flow Navigator の Project Manager に [Add/Create Sources] ボタンが新しく追加され、ウィザードを使用して新規ソース ファイルを作成できるようになりました。[Add/Create Sources] ダイアログ ボックスには、[Create File] ボタンが新しく追加され、さまざまな種類の新規ファイルを作成できるようになっています。

テキスト エディタを使用して新規 UCF ソース ファイルを作成

インプリメンテーション ツール用に UCF 制約ファイル タイプを作成できる機能が追加されています。この機能は、Flow Navigator の Project Manager で [Add/Create Constraints] ボタン (以前のリリースでは [Add Constraints] ボタン) をクリックすると実行できます。

ファイル選択ツールのアップデート

PlanAhead 12.2 ではファイル選択ツールがアップデートされており、さまざまなダイアログ ボックスおよびメニュー オプションから使用できるようになっています。

- プロジェクトに含める前にファイルを表示できるプレビュー ペインを追加ファイル選択ツールのプレビュー ペインには、次の特徴があります。
 - アジア言語セットを使用できます。
 - バイナリソース ファイルを表示できません。
- 最近使用したディレクトリのリストを含めたプルダウン メニューが追加されました。
- [File Name] テキスト ボックスにディレクトリおよびファイル名の自動認識機能を追加することで、ファイルへのアクセス速度を改善しました。[File Name] テキスト ボックスに入力をするすると、入力した文字に一致するテキストがポップアップで表示され、リストから正しいオプションを選択できます。エイリアスのユーザー ホーム ディレクトリにアクセスする場合は、チルダ文字 (~) を使用できます (Linux)。

ダイアログ ボックスの右上に新しいアイコンが追加され、次が実行できるようになっています。

- 現在のディレクトリよりも 1 つ上のディレクトリにアクセス
- ユーザー ホーム ディレクトリにアクセス
- インストール ディレクトリにアクセス
- ディレクトリを作成および削除
- ディレクトリを更新
- ファイル フォルダをリストとして表示、または更新した日付およびサイズなどの詳細を表示

[File] → [Import Placement]

PlanAhead 12.2 には、PlanAhead プロジェクトの外部から NCD ファイルを使用して配置をインポートする機能が含まれます。[File] → [Import Placement] をクリックし、ダイアログ ボックスとファイル選択ツールを使用して NCD ファイルのディレクトリを指定します。PlanAhead から XDL ツールが起動されて、配置のインポート用に NCD ファイルが ASCII 形式に変換されます。

[Save Project As] の拡張オプション

すべてのファイルを新しく保存されるプロジェクトにインポートできます。これにより、ファイル システムでコピーおよび共有可能な外部リファレンスを持たないプロジェクトを作成するプロセスが簡単になります。リファレンスのソースがプロジェクトに存在していないと、このオプションは [Save Project As] ダイアログ ボックスで表示されません。

[Pblock Properties] ビューのスライス範囲からコピーおよび貼り付け可能

PlanAhead 12.2 では、[Pblock Properties] ビューからスライス範囲の値をコピーしてテキスト エディタで開いた UCF ソース ファイルに貼り付けることができるので、範囲の値を手動で入力する必要がなくなっています。この機能を使用するには、Pblock を選択し、[Pblock Properties] ビューの [General] タブで範囲タイプの隣に表示される [Grid Range] ボックスの値を選択します。右クリックか **Ctrl + C** キーボード ショートカットで範囲タイプの隣の値をコピーできます。PlanAhead はこの範囲値をクリップボードにコピーします。

表を選択するショートカットを新しく追加

PlanAhead 12.2 には、I/O ピン配置の [Package Pins] の表のように、表の最上部と最下部を表示するショートカットを 2 つ追加しています。

- 表の最初のアイテムに選択項目を変更するには、**Ctrl + Home**
- 表の最後のアイテムに選択項目を変更するには、**Ctrl + End**

タイミング スラック ヒストグラムの対数目盛表示

PlanAhead 12.2 のスラック ヒストグラム機能には、棒グラフのエンドポイント数に基づいて、スラック ヒストグラムの Y 軸を対数目盛にするか均等目盛にするか指定できる機能が新しく追加されています。棒グラフが大きな 1 つの棒とそれよりもかなり小さい棒複数で構成される場合、小さい棒部分は均等目盛のヒストグラム ビューでは確認しにくいことがあります。この機能は、こういった場合に使用します。

この拡張をサポートする新しい GUI は、次のとおりです。

- [Generate Slack Histogram] ダイアログ ボックスの [Bin Display] チェック ボックス
- `create_slack_histogram` コマンドの `-scale` オプション
- ヒストグラム ビューのヒストグラムの Y 軸の対数目盛と均等目盛を切り替えるボタン

ネットリスト リソース概算を LUT およびレジスタが表示されるように修正

PlanAhead 12.2 では、ネットリスト リソース概算レポートに LUT およびレジスタのリソース統計などを含む詳細統計およびスライス統計が表示されるようになりました。

プロジェクト サマリのリソース使用率を表形式で表示できるように修正

PlanAhead 12.2 には、プロジェクト サマリにリソース使用率のデータが表形式またはグラフで表示できる機能が追加されています。

デバイス サポート

PlanAhead 12.2 のデバイス サポートは、ISE Design Suite と同じです。

サポートされるデバイスについては、『ISE Design Suite 12.2 : インストール、ライセンス、リリース ノート』(UG631) (http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_2/irm.pdf) を参照してください。PlanAhead では、CPLD デバイスはサポートされません。

Tcl インターフェイスの変更点

PlanAhead 12.2 での Tcl インターフェイスの修正点は、次のとおりです。

- `hdi::` コマンドを新しい Synopsys デザイン制約 (SDC) の Tcl 基盤に 100% 変換
- Tcl コマンドの `all_registers` をインプリメント

- Tcl からの run ステータスをクエリ検索する機能を追加
- ハイフン (-) で開始しないオプションを使用した解析を改善
- ピン オブジェクトのスラック プロパティをホールドおよびセットアップ両方用に修正

新規デザイン例

PlanAhead 12.2 には、CORE™ Generator からの 3 つのエンベデッド IP コアを含む新しいプロジェクト例 Wave (HDL) が含まれます。このデザインは、PlanAhead プロジェクトで IP コアをどのように使用するか確認するためのリファレンス プロジェクトとして使用してください。デザイン例は、PlanAhead を起動したときに表示される [Getting Started] ページから入手できます。

その他の修正された問題

- カスタマイズ GUI を起動する際のタイミングを改善 : CORE Generator との統合を改善することで、PlanAhead の GUI からカスタマイズ GUI を起動するのに必要な時間が削減されています。
- 存在しない HDL ソースに対する警告を新たに追加 : RTL プロジェクトに HDL ソースが含まれていないこと (HDL が作成されなかったか削除されたかが原因) をユーザーに知らせる警告メッセージが表示されるようになりました。
- 合成のために VHDL ジェネリックの解析を改善
- Linux Korn シェルを使用したマルチホスト サポートを修正 : Korn シェルをデフォルトのログイン シェルとして使用する際に、リモート実行ホストで複数 run を平行に起動する問題は、修正されました。Korn シェルのユーザーは、Linux のマルチホスト実行機能を使用できます。

既知の問題

既知の問題は、次のアンサーにまとめられています。

<http://japan.xilinx.com/support/answers/36167.htm>

付録 B : PlanAhead ソフトウェア 12.1 の新機能

このマニュアルでは PlanAhead ソフトウェア 12.1 に含まれる新機能の概要について説明します。

このマニュアルは ISE Design Suite 12.1 をご使用の方を対象としています。前のバージョンを使用する場合でも、PlanAhead 12.1 にアップグレードする利点があります。ISE 10.1 およびそれ以降のバージョンは、制限付きでサポートされます。たとえば、CORE Generator ツールとの連動といった特定機能は、ISE 12 と一緒にインストールした場合にのみサポートされます。

ISE Design Suite 12.1 の PlanAhead ソフトウェアでは、グラフィック ユーザー インターフェイスやプロジェクトフローをかなり改善しているので、ロジック設計のデザイン フローがさらにわかりやすくなっています。PlanAhead ソフトウェアのフロー機能はより拡張されています。ISE 12.1 で新しく加わった PlanAhead の機能の中には、オプションの機能もあり、Project Navigator のデザイン入力やプロジェクト管理などの同等の機能とは異なっています。

PlanAhead 12.1 で新しく追加された機能は、RTL 開発と解析機能、および CORE Generator ツールとの連動です。今後のリリースでも、ザイリンクスは PlanAhead を使用したわかりやすいデザイン環境を提供し、現在提供されている主な機能をさらに拡張していく予定です。この主な機能とは、次のとおりです。

- I/O ピン割り当て
- デザイン解析およびテスト
- フロアプランおよび物理制約
- パーシャルリコンフィギュレーション
- パーティションを使用したデザイン保持
- ChipScope コアの挿入

詳細は、『PlanAhead ユーザー ガイド』(UG632) を参照するか、ザイリンクス テクニカル サポートまでご連絡ください。連絡先については、<http://japan.xilinx.com/support> を参照してください。

デバイス サポート

PlanAhead 12 では、Virtex®-6 および Spartan®-6 デバイス ファミリのほか、Virtex-4、Virtex-5、および Spartan-3 FPGA がサポートされます。CPLD デバイスはサポートされません。

Virtex、Virtex-II、Virtex-II Pro および Spartan-2 デバイス ファミリーは、ISE 11.1 からサポートされなくなっています。これらのデバイスを使用する場合は、ISE 10.1 およびそれ以前のバージョンをご使用ください。

新規デバイスがリリースされると、PlanAhead で使用可能になります。XilinxNotify の機能を使用し、PlanAhead を最新の状態に保つことをお勧めします。アップデートリリースは、12.2 や 12.3 のように、リリース番号の一番最後の数字で識別できます。

PlanAhead では CPLD を除き、ISE Design Suite と同じデバイスおよびスピード ファイルがサポートされます。サポートされるデバイスについては、『ISE Design Suite 12 : インストール、ライセンス、リリース ノート』を参照してください。

インストールおよびライセンス

ISE 11.1 リリースから、FLEXnet ライセンスが使用されるようになりました。ソフトウェアのインストール方法、ライセンスの取得方法、ライセンス マネージャの設定方法については、『ISE Design Suite 12 : インストール、ライセンス、リリース ノート』を参照してください。

複数バージョンの ISE インストール (Windows OS)

ISE Design Suite のインストーラは、複数バージョンの ISE ソフトウェアをインストールしやすいように変更されています。変更点は、次のとおりです。

インストール時の環境変数

ISE Design Suite 12 のインストーラは、インストール中に Windows でグローバル環境変数を設定しなくなっています。これは、同じマシンに複数バージョンの ISE ソフトウェアをインストールできるようにするためです。この結果、ISE Design Suite の各アプリケーションには、\$XILINX、\$PATH、\$LD_LIBRARY_PATH のような必要な環境変数を設定するバッチ モード ラップが含まれます。

PlanAhead の場合、このファイルは <installation_dir>\planAhead\bin\planAhead.bat です。これにより、ユーザーが何かを設定する必要はありませんが、ISE Design Suite ツールを起動する外部スクリプトを使用している場合や、これらの環境変数へのリファレンスがある場合は、インストーラで設定されないご注意ください。PlanAhead から提供される XIL_PA_NO_XILINX_OVERRIDE 環境変数が 1 に設定されると、これらの変数への外部設定ポイントが上書きされなくなり、11.1 およびそれ以前のリリースの動作にツールを変更できます。詳細は、『ISE Design Suite 12 : インストール、ライセンス、リリース ノート』を参照してください。

デスクトップ ショートカット

12.1 リリースのインストーラでは、次の 2 つのデスクトップ ショートカットがインストールされます。

- Project Navigator
- PlanAhead

これによりショートカットの数は削減され、複数バージョンが同じマシンで使用しやすくなっています。

プロジェクト ファイルの関連付け

PlanAhead では、これまで通り、Windows プラットフォームでのインストール時に設定されたプロジェクト ファイルの関連付けがサポートされます。プロジェクト ファイルの PlanAhead ファイルの拡張子は、.ppr で、Windows Explore のようなファイル ブラウザからダブルクリックすると PlanAhead が起動されます。

インストールされる画像容量

ISE Design Suite 12.1 リリースでは、インストールされる画像の容量がこれまでより削減されています。

アップデート

PlanAhead のアップデート リリースは、通常の ISE インストール方法を使用して取得可能です。XilinxUpdate の機能は ISE Design Suite 12 からなくなり、XilinxNotify という新機能になっています。

PlanAhead 12.1 の新機能

次の PlanAhead の機能が新しく追加されています。

- グラフィック ユーザー インターフェイス
- Flow Navigator とビュー レイアウト
- プロジェクト サマリ
- スタティック タイミング解析
- パーツ選択
- RTL プロジェクト
- CORE Generator の統合
- 階層リソース概算
- I/O ピン配置
- ネットリスト プロジェクト
- Project Navigator の統合
- フロアプラン
- ChipScope の統合
- 階層デザイン機能
- Tcl およびバッチ スクリプト
- メッセージ
- WebTalk
- 資料

グラフィック ユーザー インターフェイス

リリース 12 では、デザイン フローをよりわかりやすく、生産性を増加させるため、PlanAhead ソフトウェアのグラフィック ユーザー インターフェイス (GUI) が変更されています。変更されたのは、ビュー レイアウトを含むダイナミックな表示環境で、デザインやデバイス情報などが表示されるほか、主な機能やデザイン情報に対するパースペクティブがすぐに表示されるようになっています。変更された GUI は次のとおりです。

- プッシュボタン フローのサポートを改善
- 使用しやすいデザイン環境

改善されたプッシュボタン フローのサポートには、アドバンス ユーザーの制御は含まれません。GUI レイアウトは、デバイス、プロセス ステータス、コマンド ライン入力およびデザイン プロセスの各段階におけるリソース使用率を表示するビューを使用して、タスク別に表示されます。

レイアウトとアイコンにより、よく使用されるタスクがわかりやすくなっており、インプリメンテーション フロー全体を進めやすくなっています。

詳細は、『PlanAhead ユーザー ガイド』(UG632) の第 2 章「デザイン フロー」および第 4 章「表示環境」を参照してください。

新規プロジェクト作成ウィザード

新規フローは、New Project ウィザードから設定でき、次の 4 タイプのプロジェクトを作成できるようになっています。作成できるプロジェクトのタイプは、次のとおりです。

- RTL
- ネットリスト
- I/O ピン配置
- ISE インプリメンテーション結果

詳細は、『PlanAhead ユーザー ガイド』(UG632) の第 3 章「プロジェクトの作成」を参照してください。次のセクションでは、PlanAhead 12.1 で使用可能なプロジェクトのタイプについて簡単に説明しています。

RTL

PlanAhead 11 から導入された RTL プロジェクトでは、XST (Xilinx Synthesis Technology) が統合されていました。PlanAhead 12.1 の RTL フローでは、さらにソースや制約ファイルの管理方法が改善されたほか、CORE Generator も統合されています。これにより、ザイリンクス IP レポジトリが PlanAhead で表示されるようになり、PlanAhead の GUI からザイリンクス IP を生成およびカスタマイズできるようになりました。RTL プロジェクトを使用すると、RTL からビットストリームの生成まで、プロジェクトを合成およびインプリメントできます。

ネットリスト

ネットリスト プロジェクトは最も一般的なタイプです。このプロジェクト タイプの場合、まず EDIF (Electronic Design Interchange Format) または NGC ネットリスト ファイル形式のゲート レベルの構造型ネットリストが読み込まれます。ネットリスト プロジェクトを使用すると、合成後の段階からビットストリームまでデザインを解析およびインプリメントできます。このタイプは、フロアプラン、物理制約、デザイン保持のための階層デザインの概念、などを使用したタイミング クロージャで利点があります。Synopsys™ 社の Symplify® および Mentor® 社の Precision などのサードパーティベンダーのツールで生成されるネットリストには、このプロジェクト タイプを使用してください。

ピン配置

ピン配置プロジェクトは、PCB レイアウトの最適化や FPGA 内部のデザイン考慮事項などのため、I/O を早期に割り当てる場合に使用されます。ピン配置プロジェクトの場合、通常デザイン ファイルや、CSV (カンマ区切り) の I/O データ、ハードウェア記述言語 (HDL) のヘッダ ファイルを最初に読み込む必要はありません。ピン割り当ては、RTL 開発および合成後のネットリストを使用したデザイン クロージャなどのデザイン ライフ サイクルを通して、フローごとに簡単に変更できるようになっています。

ISE インプリメンテーション結果

ISE インプリメンテーション結果プロジェクトの場合、PlanAhead の外部でインプリメント、または Project Navigator プロジェクトのフレームワークでインプリメントされた ISE 結果をインポートして、素早くプロジェクトを作成できます。このプロジェクト タイプは、スクリプト記述のコマンド ラインで生成されたインプリメンテーション結果用です。ISE の結果を素早くインポートし、PlanAhead のデザイン解析やデバッグ機能を使用できるのが利点です。

Flow Navigator とビュー レイアウト

PlanAhead 12.1 では、PlanAhead 環境の左側の Flow Navigator からデザイン フロー プロセスを管理できるようになっています。Flow Navigator では、コンフィギュレーション、合成およびインプリメンテーションの実行、ビットストリーム ファイルの生成、プログラミング ツールおよびデバッグ ツールの起動などが制御できます。デザインをプロセスのさまざまな段階で開いて、デザイン解析、制約の定義、I/O ピンの配置を実行することもできます。Flow Navigator には、次のオプションがあります。

- Project Manager
- RTL Design (RTL プロジェクトの場合にのみ表示)
- Netlist Design
- Implemented Design

[Project Manager]

プロジェクトを開くと、デフォルトで Project Manager 環境が開きます。Project Manager では、ソースを管理したり、IP をカスタマイズしたり、プロジェクト サマリにプロジェクトの詳細を表示したりできます。Project Manager はデザインのコンパイルを実行しないので、メモリにデータは読み込まれません。解析コマンドを実行するには、デザインを開いておく必要があります。

[RTL Design]

RTL Design 環境を使用すると、ロジックの詳細確認、リソースおよび電力の概算、デザイン ルール チェック (DRC)、I/O 配置などを含むコンパイル済み RTL デザインの解析ができます。

[Netlist Design]

Netlist Design 環境では、インプリメンテーション前のデザイン解析、デバッグ コアの挿入、制約定義ができます。さまざまな制約セット、デバイス、インプリメンテーション オプションを確認できます。

[Implemented Design]

ネットリストおよびインプリメンテーション結果を run ディレクトリから直接読み込み、実行された run を表示できるようになりました。

PlanAhead 12.1 では、複数のデザインを同時に開くことができます。以前の PlanAhead バージョンでは、run 結果がインメモリの現バージョンのネットリストと制約を使用してインポートされていました。

Flow Navigator の詳細は、『PlanAhead ユーザー ガイド』(UG632) の第 2 章「デザイン フロー」および第 4 章「表示環境」を参照してください。

プロジェクト サマリ

プロジェクト サマリ ページには、デザインの現在の状態がまとめて表示されます。このページは、Project Manager でプロジェクトが開かれると、各ビューで使用できるようになります。プロジェクト サマリには、次の情報が含まれます。

- **Project Settings Summary** : 名前、デフォルト パーツ、デフォルト ファミリ、最上位モジュール、エンティティ名が表示されます。
- **Design State Summary** : 合成済みやインプリメント済み、エラーの数、コンパイル ログ レポートへのリンク、デザイン フローの次の段階に関する文などの情報が表示されます。
- **Compilation Settings** : 現在の run に提供される合成およびインプリメンテーション ストラテジが表示されます。ストラテジは、デザインのコンパイルに使用される各ポイント ツールの設定をリストしたものです。
- **Resource Summary** : デザインのリソース使用率、各インスタンスのヒストグラムのサマリが表示されます。このサマリ ビューには、[Sources]、[Statistics]、[Pins]、[Children]、[Attributes]、[Connectivity] といったタブがあります。
- **Timing Summary** : スタティックなタイミング解析結果のステータスが表示されます。

制約ファイルの処理

PlanAhead 12.1 では、プロジェクト環境での制約処理機能を強化しています。ほかのファイル システムのディレクトリにあるユーザー制約ファイル (UCF) を参照し、これらのファイルを直接プロジェクトにコピーできます。このファイルは単純なテキストとして編集したり、インメモリで物理制約およびタイミング制約を修正したりできます。

制約ファイルが複数ある場合は「ターゲット」ユーザー制約の概念が使用されます。これは、複数の制約ファイルがプロジェクトに追加される場合に PlanAhead で生成された制約が書き込まれるファイルです。

RTL プロジェクトの UCF ファイルはユーザーが作成および管理し、合成段階で PlanAhead から XST にこれらのファイルが渡されるようにします。制約ファイルの処理に関する詳細は、『PlanAhead ユーザー ガイド』(UG632) の第 7 章「ネットリスト解析と制約定義」を参照してください。

スタティック タイミング解析

PlanAhead 12.1 からは、SDC (Synopsys Design Constraints) に基づいた業界標準の制約インターフェイスを採用しています。

PlanAhead には、ISE Design Suite の TRCE エンジンとは異なる Static Timing Analysis (STA) エンジンが含まれます。以前のリリースでは、この機能は TimeAhead と呼ばれていましたが、STA 用語の「Report Timing」と呼ばれるようになりました。

制約インプリメンテーションとタイミング レポートのインターフェイスは、PrimeTime STA の後に記述されます。STA エンジンは現在も今後も使用されるインメモリ タイミング グラフで、インクリメンタル解析や仮定の解析ができるという利点があります。制約をツールに直接追加し、タイミングを即座にアップデートし、デザインをコンパイルし直さなくてもカスタム レポートを要求できます。

PlanAhead 12.1 では、SDC ツールの基本的なサポートが追加されていますが、STA エンジンは UCF 制約もこれまでどおりサポートします。SDC の機能については、「Synopsys Design Constraint の Tcl インフラストラクチャの採用」を参照してください。

PlanAhead ソフトウェアは、配線インフラストラクチャを直接記述しませんので、PlanAhead 12.1 の STA エンジンはまだ概算、デバッグ、解析には最適なツールであり、廃止はされていません。セル遅延およびセットアップ/ホールドタイムの制約カバレッジは TRACE と一致すべきですが、ネットの配線遅延が概算のため、スラック値が完全には一致しません。

次は STA の変更により変更された GUI です。

- Report Timing
- Slack Histogram

これらの機能の詳細は、『PlanAhead ユーザーガイド』(UG632) の第 7 章「ネットリスト解析と制約定義」を参照してください。次のセクションでは、STA エンジンの変更点について簡単に説明します。

[Report Timing]

STA エンジンへの新しい GUI ダイアログ ボックスは、Flow Navigator のアイコンから起動できます。このダイアログボックスは以前の TimeAhead インターフェイスに替わるもので、すべての制約に対して、または特定パスのみをデバッグするためにタイミング レポートを生成できます。このダイアログ ボックスには、STA エンジンのバッチ モード Tcl コマンド (report_timing コマンド) で使用可能なオプションが含まれます。

テキスト ボックスに直接入力するか、別の関連ダイアログ ボックスを選択して、タイミング パスのスタートポイント、エンドポイント、スルーポイントを検索します。これらの別のダイアログ ボックスには、ピン、ネット、セル、クロック オブジェクトのオブジェクト クエリ コマンドの GUI ビルダが提供されており、Tcl に相当する SDC コマンドが反映されています。

PlanAhead ではこのダイアログ ボックスに UCF モードを含めています。これにより、ピン/ネット/ポートの検索が可能になり、SDC エンジンから予測されない UCF 形式の動作が削減されます。これは、SDC に詳しくない方、UCF と TRACE の PCF タイミング クエリの違いや Project Navigator の Timing Analyzer に詳しくない方のためのモードです。

[Slack Histogram]

PlanAhead の STA では、デザインのエンドポイントすべてのスラックを画像で表示したヒストグラムが生成できます。この機能により、何個のエンドポイントがタイミング エラーになったか、どれくらいの差があるのかなどが視覚化でき、タイミング スコア全体よりも役立ちます。STA エンジンはデザイン全体にタイミング解析を実行することでスラック ヒストグラムを計算し、各エンドポイントごとにスラックを計算します。次に、STA エンジンはエンドポイントを分類し、値の範囲を表す「バケツ」にそれらを入れ、エンドポイント スラックの分配を表示するスプレッドシートのようなグラフを描画します。ヒストグラムのバーはそれぞれ選択でき、自動的にフィルタしたり、エンドポイント リストのバーを表示できるので、さらに詳細な解析が実行可能です。

パーツ選択

New Project ウィザードには、プロジェクトのターゲット パーツをより見やすく、フィルタおよび分類しやすくした新しい GUI エLEMENT が含まれています。新規ドロップダウン ボックスを使用すると、次をフィルタして表示できます。

- 製品
- ファミリ
- サブファミリ
- パッケージ
- スピード グレード
- 温度グレード

複合パーツ名の文字列ベースの検索も使用できます。

[Part Selection] ダイアログ ボックスには、I/O ポート、ブロック RAM、ロジック セル、DSP、高速トランシーバといった各デバイスで使用可能な物理リソースが表でリストされます。

パーツ選択に関する詳細は、『PlanAhead ユーザー ガイド』(UG632) の第 6 章「デザインの合成」を参照してください。

RTL プロジェクト

PlanAhead 12.1 では、これまでと同様、主な RTL デザイン入力およびプロジェクト管理のツールとして Project Navigator が提供されています。これは、Platform Studio および DSP ツールだけでなく、ISE Simulator や Cadence、Mentor Graphics、Synopsys 社などのサードパーティ シミュレータなどのシミュレーション エンジンが統合されているためです。

ザイリンクス ツールは、将来 PlanAhead ツールを基盤にまとめられる予定になっていますが、PlanAhead 機能の拡張や新機能はそれまでにも追加されます。リリース 12 で導入された RTL 開発機能は、この統合に向けてのステップです。

このリリースでは、フロアプラン、デザイン解析、I/O ピン配置の統合を改善したほか、RTL および制約をより管理しやすくしています。

CORE Generator の統合

CORE Generator ツールは PlanAhead 12.1 の RTL プロジェクトに統合されています。ISE Design Suite から確認できた使用可能な IP のカタログは、PlanAhead 環境からも確認できるようになっています。Project Navigator やスタンドアロンの CORE Generator で実行していたのと同じように、PlanAhead でも IP を直接、検索、カスタマイズ、生成できるようになりました。CORE Generator の統合に関する詳細は、『PlanAhead ユーザー ガイド』(UG632) の第 5 章「RTL および IP デザイン」を参照してください。

PlanAhead では、CORE Generator のカスタマイズ GUI を使用して PlanAhead 以外のツールでコンフィギュレーションされたコアをインポートして IP コアをコンフィギュレーションできます。また、Project Navigator およびスタンドアロンの CORE Generator ソフトウェアとの統合以外にも、次のような利点があります。

PlanAhead 環境に新しく統合された機能は、次のとおりです。

- 合成済み NGC の IP コア生成を遅らせることで、デザイン作成時間を削減
- IP カタログを使用する際の検索および参照機能を強化
- 電力概算

次のセクションでは、これらの統合機能について簡単に説明します。

IP 生成の遅延機能

IP コアの中には遅延生成のできるものがあり、プロジェクト レベルの合成が実行されるまで XST による実際のコアの生成を遅らせることができます。スタンドアロンの CORE Generator および Project Navigator では、コアが生成されると、カスタマイズや生成処理を中止できず、コアやインスタンスエーション テンプレートおよびラップを生成したり、関連するデータシートを取得するのにかなりの時間がかかることがあります。この機能は、それを改善する目的で追加されています。

検索および参照機能の拡張

PlanAhead ソフトウェア環境で、IP カタログの検索オプションを使用できます。カタログのどの部分でも検索できるほか、高度なフィルタ機能も使用できます。また、IP カタログを Excel スプレッドシートにエクスポートすることもできます。

電力概算

PlanAhead では、RTL レベルのリソース概算に基づいて、エラボレーション後の RTL ネットリストの消費電力を概算できます。

階層別のリソース概算

PlanAhead リリース 12 では、ROOT ディレクトリの下階層からもリソース概算ができるようになっています。階層ツリーのどのインスタンスでも、選択してリソース概算を取得できます。

I/O ピン配置

PlanAhead 12 では、次のピン配置機能が拡張されています。

- UCF モードのコンフィギュレーションおよびマルチファンクション ピンの制御
- Spartan-6 の I/O パーツのサポート
- CSV ファイルのインポート/エクスポート
- DRC ルールの変更
- [Show Top]/[Bottom View] ボタン

これらの機能の詳細は、『PlanAhead ユーザー ガイド』(UG632) の第 8 章「I/O ピンの配置」を参照してください。

次のセクションでは、I/O ピンの配置の改善点について説明します。

コンフィギュレーション ピンおよびマルチファンクション ピン

PlanAhead では、異なるデバイスおよびコンフィギュレーション モードを設定および制御できます。また、マルチファンクション ピンを視覚化することもできます。

Spartan-6 の I/O パーツの互換性

PlanAhead で、Spartan-6 デバイスの互換性のあるパーツを複数定義できるようになりました。これまでは、ピン配置プロジェクトに対して複数パーツをコンフィギュレーションすることはできませんでしたが、まとめられていない I/O を割り当てることはできませんでした。

CSV ファイルのインポート/エクスポート

I/O 割り当ての CSV 形式のインポートおよびエクスポートは、ISE Design Suite ツールからエクスポートされたパッド CSV ファイルとさらに連動するようになっています。このバージョンでは、デバイス デフォルトから変更がなくても、割り当てられた I/O 規格すべてをエクスポートできるようになりました。

DRC 規則

次は、DRC およびデジタル制御インピーダンス (DCI) の規則で変更された点です。

- 新規 DRC チェックの BIIVRC でバンクの I/O 規格とバンクの INTERNAL_VREF 制約間の競合がチェックされるようになりました。バンクの規格には、バンクの INTERNAL_VREF 制約で指定される VREF 電圧と異なる VREF 電圧は要求できません。この DRC の結果、メッセージが表示されます。
- 新規 DCI チェックの DCICIOSTD で、I/O の VCCO と DCI 終端に関連する競合がないかどうかチェックされるようになりました。この DRC の結果、メッセージが表示されます。
- BIVRU DRC がエラーから警告に変更されました。
- CRPS DRC は、サポートされないデバイスにのみ適用されていたので、廃止されました。

[Show Top/Bottom View] ボタン

I/O Planner でピン割り当ての上部と下部の表示を切り替えるアイコンができました。

ネットリスト プロジェクト

PlanAhead リリース 12.1 ネットリスト プロジェクトでは、次が変更されています。

- NGC の代わりに EDIF
- ネットリスト制約ファイル (NCF) の制約サポート

これらの機能の詳細は、『PlanAhead ユーザー ガイド』(UG632) の第 7 章「ネットリスト解析と制約定義」を参照してください。次のセクションでは、PlanAhead 12 でのネットリストの変更点について簡単に説明しています。

NGC の代わりに EDIF

PlanAhead 12.1 では、EDIF が NGC の代わりに使われています。以前は、PlanAhead では NGC ファイルが変更されず、ISE Design Suite インプリメンテーション フローに渡されていました。この変更により、PlanAhead でコア内のネットへの ChipScope デバッガのプローブ挿入といったフローをサポートするために、ネットリストを変更できるようになり、パーティションやデザイン保持フローのサポートが強化されています。

NCF 制約のサポート

PlanAhead 12.1 では、RTL およびネットリスト プロジェクトの場合に [Sources] タブで NCF 制約ファイルがサポートされるようになりました。これらのファイルは、NGDBuild で自動的に認識されます。

ファイルはユーザーがプロジェクトに追加する必要があります。New Project ウィザードではその NCF ファイルが自動的に認識され、PlanAhead で自動的に処理されます。NCF ファイルがプロジェクトに含まれない場合、PlanAhead は ISE フローの NGDBuild にファイルを渡しません。ツールではユーザーが指定しない限り、ファイルは認識されません。

Project Navigator の統合

デザイン入力には、これまで通り Project Navigator が主なツールとして使用されます。Project Navigator からは、次の 4 つのプロセスで PlanAhead が起動されます。

- I/O ピンの配置
- 合成前および合成後
- フロアプラン
- インプリメンテーション後のデザイン解析

リリース 12 では、これらのプロセスの GUI レイアウトが変更されています。NCF ファイルの自動認識に関する詳細は、『PlanAhead ユーザー ガイド』(UG632) の第 15 章「Project Navigator からの PlanAhead の使用」を参照してください。

ブロック レベルの制約の場合、Project Navigator から PlanAhead へ NCF 制約ファイルが渡されるようになりました。Project Navigator では NCF ファイルが直接管理されません。これらのファイルには、クリティカルなタイミングやフロアプラン制約が含まれます。リリース 12 以前は Project Navigator から PlanAhead へ渡されていませんでした。

今回のリリースの Project Navigator および ISE コマンドライン ポイント ツール環境では、NCF ファイルが NGC ファイルと同じディレクトリにあり、ベース名がまったく同じであれば、自動的に認識されます。

これらのファイルは PlanAhead プロジェクトに追加され、それぞれのブロックレベルに適用されます。プロジェクトからファイルを削除しておけば、自動的に認識されなくなります。

フロアプラン

リリース 12 以前は、UCF ファイルを示すのに「フロアプラン」という用語が使用され、異なるフロアプランを使用することで、さまざまな物理制約や実行パターンを試すことができました。この概念は、RTL 開発環境が導入されたことにより変更されています。Pblock や AREA_GROUP 制約、LOC 制約、BEL 制約の作成といった基本的な機能はそのままですが、「フロアプラン」という用語が「デザイン」に置き換えられています。フロアプランに関するよくある実行コマンドなどは、これまで通りに適用されます。

「デザイン」は、合成済みネットリスト、制約ファイルのセット、ターゲット デバイスの独自の組み合わせとして定義されます。

ほとんどの場合、制約セットは 1 つで十分なので、PlanAhead ではデフォルトの制約セットが 1 つ作成されて、自動的に管理されます。ただし、合成およびインプリメンテーション用に複数の run を作成するアドバンス ユーザーの場合は、[Create Multiple Runs] ダイアログ ボックスで 1 つのデザインに対して複数の run を実行できます。以前のリリースでは、異なるフロアプランに対して同じ run を実行していました。

[File] メニューには [Save design as] が新しく加わり、各ピン プランには [Open design] コマンドが加わり、作業中のデザインを開いたり、特定の合成結果、制約セット、別のターゲット デバイスなどを使用して 1 つのデザインを作成したりできるようになりました。

フロアプランに関する詳細は、『PlanAhead ユーザー ガイド』(UG632) の第 11 章「デザインのフロアプラン」を参照してください。

ChipScope の統合

リリース 12 での ChipScope デバッグ コアの挿入に関する変更点は次のとおりです。

- NGC コア ネットリストへのポートの挿入
- CDC ファイルの統合
- BitGen の統合
- FPGA Editor の統合
- iMPACT の統合

次のセクションでは、これらの変更について説明します。ChipScope の統合に関する詳細は、『PlanAhead ユーザー ガイド』(UG632) の第 12 章「デザインのプログラムとデバッグ」を参照してください。

NGC コア ネットリストへのポートの挿入

PlanAhead 12.1 リリースでは、2 進数の NGC ネットリストが EDIF バージョンに置き換わっています。NGC コアには ChipScope のデバッグ ロジックやポートを挿入できます。

CDC ファイルの統合

PlanAhead では、[File] メニューから ChipScope Definition Core (CDC) ファイルをインポートできます。これにより、以前は PlanAhead 環境以外で実行されていた ChipScope のデバッグ挿入が可能になりました。

BitGen の統合

BitGen にはインプリメンテーション後の [Program and Debug] ビューで Flow Navigator からアクセスできます。

FPGA Editor の統合

PlanAhead は、インプリメント済みのデザインの run に対して FPGA Editor を起動できます。FPGA Editor には配線済みの NCD (Native Circuit Description) および PCF データベースが読み込まれます。

iMPACT の統合

PlanAhead から iMPACT を起動し、デバイスにビット ファイルをプログラムできるようになりました。iMPACT は BitGen を実行後に起動され、PlanAhead からはインプリメンテーションで生成されたビット ファイルが渡されます。PlanAhead から iMPACT を起動する方法については、『PlanAhead ユーザー ガイド』(UG632) の第 12 章「デザインのプログラムとデバッグ」を参照してください。

階層デザイン機能

PlanAhead 12 には、階層デザイン手法の一部である次の 2 つの機能が提供されています。

- パーティションを使用したデザイン保持
- パーシャルリコンフィギュレーション

詳細は、『PlanAhead ユーザー ガイド』(UG632) の第 13 章「階層デザイン手法の使用」を参照してください。

次のセクションでは、PlanAhead での階層デザインのインプリメンテーションについて簡単に説明しています。

パーティションを使用したデザイン保持

デザイン保持フローは、PlanAhead と ISE コマンドライン ツールから使用可能になり、Project Navigator ではサポートされなくなりました。デザイン保持フローを使用すると、デザインの重要部分をインプリメントした後、それらを保持して、デザインの別の部分に繰り返し使用できるので、クリティカル ロジックを削減できます。

パーシャル リコンフィギュレーション

パーシャル リコンフィギュレーション フローのライセンスは別になっており、PlanAhead から入手できます。パーシャル リコンフィギュレーションのマニュアルについては、[を参照してください。](http://japan.xilinx.com/tools/partial-reconfiguration)

ライセンスは、ザイリンクス Web サイト から入手できます。<http://japan.xilinx.com/getproduct>

Tcl およびバッチ スクリプト

Tcl は PlanAhead および多くの EDA (Electronic Design Automation) ツールでサポートされるスクリプト言語で、ツールフローおよび制御の業界標準です。

Tcl を使用すると、デザイン データベースをダイナミックに検索要求を出すことができ、デザインの問題を検出し、ツール動作をカスタマイズするためのデバッグ機能が提供されます。Tcl により、デザインのコンパイルを自動化できます。Tcl コマンドは制約およびフロー手法と密接に関係しています。

Tcl とバッチ スクリプトの変更点は、次のとおりです。

- Synopsys Design Constraint の Tcl インフラストラクチャの採用
- Tcl スクリプトの下位互換性
- Tcl バージョン 8.5 へのアップデート
- SDC コア コマンドのサポート

詳細については、『PlanAhead ユーザー ガイド』(UG632) の第 14 章「Tcl およびバッチ スクリプト」を参照してください。次のセクションでは、Tcl の変更点について説明します。

Synopsys Design Constraint の Tcl インフラストラクチャの採用

PlanAhead の Tcl インフラストラクチャは、12.1 リリースからタイミング制約の Synopsys Design Constraints (SDC) フォーマットに長期計画で移行し始めています。

SDC は Tcl を基にした業界標準のフォーマットで、PlanAhead 12 の Tcl 機能はこの移行の最初のステップになります。SDC はタイミング制約をカバーします。これはクリティカルなクエリであり、デバッグ ツールです。

合成、配置、配線フローのすべての部分はタイミング制約と密接に統合されています。このため、Tcl コマンドが SDC を基礎に記述されるように、Tcl コマンドのインフラストラクチャが変更されています。

Tcl スクリプトの下位互換性

PlanAhead 12.1 では、古い Tcl コマンドを新しい構文にマップする廃止レイヤをインプリメントしています。この変更にご気付く方はほとんどいないはずですが、カスタム インプリメントされたスクリプトがある場合は、影響を受けることがあります。

Tcl バージョンのアップデート

PlanAhead 12.1 リリースでは、オープン ソース コミュニティからの最新の Tcl インタープリタのバージョンである v8.5 を使用しています。これにより、Tcl インフラストラクチャから最新の機能にアクセスができるようになっていきます。

SDC サポート

PlanAhead 12 から導入された SDC は検索およびクエリ用の `get_cells`、`get_pins`、`get_nets`、およびその他の `get_*` などのコマンドに限られています。

メッセージ

PlanAhead 12.1 の情報、警告、エラー メッセージは改善され、一番下の [Console] ビューまとめられるようになりました。このビューは、メッセージの内容が表示されるたびに、アクティブになります。以前のリリースでは、これらの情報はまとめられておらず、メッセージ用のタブは存在しませんでした。[Console] ビューには、次のタブが含まれます。

- [Tcl Console] タブ
- [Compilation Log] タブ
- [Elaboration Messages] タブ
- [Compilation Messages] タブ
- [Reports] タブ

次のセクションでは、[Console] ビューに表示されるメッセージについて簡単に説明しています。

[Tcl Console] タブ

[Tcl Console] タブには、GUI から直接または間接に実行したかどうかは関係なく、セッション中に実行された Tcl コマンドの履歴が含まれます。このほかにも、コマンドの実行中に生成された情報、警告およびエラー メッセージも表示されます。スクロールバーの右側には、エラー メッセージが赤、警告メッセージが黄色のアイコンで表示されます。Tcl コマンドを即座に実行する場合は テキスト ボックスに直接入力することもできます。

[Compilation Log] タブ

[Compilation Log] タブには、XST、NGDDBuild、MAP、PAR、TRACE などの ISE ツールからキャプチャされた出力が含まれ、別のスレッドでツールを実行するとリアルタイムで表示されます。ログ ファイルのメッセージは、ツールから生成された順番に表示されます。

[Elaboration Messages] タブ

PlanAhead は RTL エラボレーションが終了すると [Elaboration Results] タブを起動し、違反があればそれがハイライトされ、その行をダブルクリックすると RTL Editor が開きます。メッセージは、展開したり、フィルタしたり、非表示にしたりできます。

[Compilation Messages] タブ

[Compilation Messages] タブには、CORE Generator、XST、NGDDBuild、MAP、PAR、TRCE などのツールで生成された XML ベースのメッセージが含まれます。これらのメッセージは、タイプ別に表でまとめられます。表示される順序は、発生順通りではありません。ここでは、メッセージを展開、参照、表示でき、発生数を確認できます。メッセージ インフラストラクチャは Project Navigator と同じです。

[Reports] タブ

[Reports] タブには、XST、NGDBuild、MAP、PAR、TRCE の ISE ポイント ツール (stdout/stderr のキャプチャ出力ではない) で生成された標準のレポートファイルが含まれます。

メッセージに関する詳細は、『PlanAhead ユーザー ガイド』(UG632) の「メッセージの表示エリア」の章を参照してください。

WebTalk

WebTalk という新機能が生まれ、PlanAhead の一部の機能を使用するとザイリンクスにそれがレポートされるようになりました。マーケティングはこのデータを使用して、ツール フローの方向性や優先順位についてアドバイスできます。この情報はデザインの使用統計や一般的な情報などで、知的所有権を漏らす危険性はありません。情報は HTML でザイリンクスに送信されます。ユーザーはこれらのレポートをクエリ検索して送信された情報の公開性について調べることができます。詳細は、『ISE Design Suite 12 : インストール、ライセンス、リリース ノート』の WebTalk のセクションを参照してください。

資料

最新の情報を提供するため、およびインストール イメージを削減してダウンロード速度を速めるため、PlanAhead のマニュアルは今回から DVD イメージに含まれなくなっています。インストール イメージには、これらのマニュアルへのリンクのみを含む一時ファイルが含まれ、ザイリンクス Web サイトからマニュアルをインストールする方法が示されています。

これらの一時ファイルは、次のマニュアルへリンクされています。

- 『PlanAhead ユーザー ガイド』(UG632)

次のマニュアルは、ザイリンクス Web サイトから入手できます。

- 『フロアプラン手法ガイド』(UG633) – 以前は『PlanAhead 手法ガイド』でしたが、フロアプラン特有の情報を含めるようになりました。
- 『階層デザイン手法ガイド』(UG748) – 階層デザインを使用した手法について説明しています。

チュートリアル

PlanAhead には、使用方法などを学ぶための、トレーニング ツールとして複数のチュートリアル デザインが含まれています。チュートリアル デザインは、最新の Virtex®-6 ベースのデバイスと WebPACK のデバイスをサポートするデザインが含まれ、すべてのザイリンクスソフトウェア バージョンに適用できます。

トレーニング デザインを使用するチュートリアルは、次のザイリンクス Web サイトから入手できます。

http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_1/planahead12-1_tutorials.htm

- PlanAhead ソフトウェア チュートリアル : クイックフロー概要 (UG673)
- PlanAhead ソフトウェア チュートリアル : RTL デザインと CORE Generator を使用した IP の生成 (UG675)
- PlanAhead ソフトウェア チュートリアル : I/O ピンの配置 (UG674)
- PlanAhead ソフトウェア チュートリアル : ChipScope を使用したデバッグ (UG677)
- PlanAhead ソフトウェア チュートリアル : 『予測可能な結果に対する保存デザインの利用』(UG747)
- PlanAhead ソフトウェア チュートリアル : デザイン解析およびフロアプラン (UG676)

パーシャル リコンフィギュレーションに関するマニュアル

次のマニュアルは、ザイリンクス Web サイトから入手できます。

<http://japan.xilinx.com/tools/partial-reconfiguration>

- 『パーシャル リコンフィギュレーション ユーザー ガイド』(UG702)
- 『パーシャル リコンフィギュレーション フローの概要』(UG743)
- 『プロセッサ ペリフェラルのパーシャル リコンフィギュレーション』(UG744)

ライセンスは、次のザイリンクス Web サイトから入手できます。

<http://japan.xilinx.com/getproduct>

既知の問題

既知の問題は、次のアンサーにまとめられています。

<http://japan.xilinx.com/support/answers/34799.htm>