
ピン配置手法ガイド

UG792 (v13.1) 2011 年 3 月 1 日



Xilinx is disclosing this user guide, manual, release note, and/or specification (the “Documentation”) to you solely for use in the development of designs to operate with Xilinx hardware devices. You may not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU “AS-IS” WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© Copyright 2011 Xilinx Inc. All Rights Reserved. XILINX, the Xilinx logo, the Brand Window and other designated brands included herein are trademarks of Xilinx, Inc. All other trademarks are the property of their respective owners. The PowerPC name and logo are registered trademarks of IBM Corp., and used under license. All other trademarks are the property of their respective owners.

本資料は英語版 (v13.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。
資料によっては英語版の更新に対応していないものがあります。
日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

改定履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	変更内容
2011年3月1日	13.1	初期バージョン

目次

改定履歴.....	2
ピン配置手法の手順	6
1. コンフィギュレーション モードの選択	6
2. ギガビット トランシーバーの選択	6
3. メモリー インターフェイスの定義	7
4. その他の IP.....	7
5. I/O インターフェイス	7
6. I/O 規格、属性	7
7. クロック ピンとトポロジ	7
8. 配置配線	8
9. ノイズ解析	8
10. ボード レベルの注意事項	9
その他のリソース	9

ピン配置手法ガイド

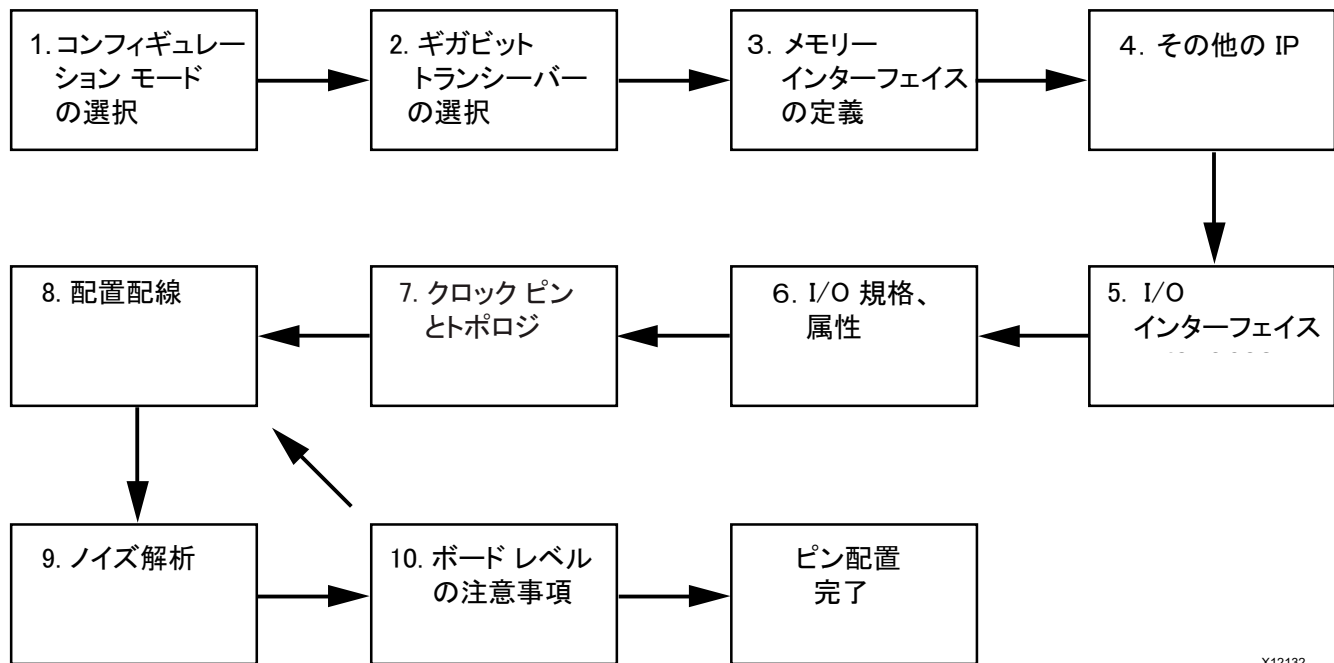
『ピン配置手法ガイド』では、PlanAhead™ ソフトウェアを使用してザイリンクス デバイスの入力/出力 (I/O) ピン配置手法を使用することを推奨しています。

PlanAhead ソフトウェアとその I/O ピン配置環境には、次が含まれます。

- レジスタ転送レベル (RTL) からビットストリームまでのデザイン フロー
- 次が実行できます。
 - デザイン フローの早期段階で I/O ポートの初期リストを作成、インポート、コンフィギュレーション
 - デザイン フローの最後にピン配置の最終検証を実行
 - 関連ポートをインターフェイス別にまとめて、それらをパッケージピンに割り当て
 - 全自動と半自動のいずれかのモードで I/O ポートの割り当てを制御
 - 物理パッケージ ピンおよびバンクとそれらのチップの I/O パッド間の関係を表示
 - PCB と FPGA デバイス間の接続を自動的に最適化

ザイリンクスの推奨する I/O ピン配置手法の手順は、次のセクションの「[ピン配置手法の手順](#)」に示すとおりです。

ピン配置手法の手順



X12132

図 1-1 : ザイリンクス推奨の I/O ピン配置手法

1. コンフィギュレーションモードの選択

- ほとんどのコンフィギュレーションモードでは、ユーザー I/O と一部のピンを共有します。共有されるピン数は、通常次のようになります。
 - シリアルモードの場合は 0 から少数
 - パラレルモードの場合は数が増加
- コンフィギュレーションを問題なく実行するには、信号の競合を回避します。I/O ピンがコンフィギュレーション後に使用される場合は、それらをコンフィギュレーション中にトライステートに変更する必要があります。
- 可能な場合は、多目的ピンすべてに禁止制約を付けてピン配置を簡素化します。
- 詳細は、「[その他のリソース](#)」に示すように、各デバイスファミリのコンフィギュレーションユーザーガイドを参照してください。これらのガイドには、各モードの専用ピンおよび共有コンフィギュレーションピンについて記述されています。コンフィギュレーションモードでその他のピン配置の制限が作成されるかどうかは、ユーザーガイドを参照してください。

2. ギガビット トランシーバーの選択

- ギガビット トランシーバ (GT) には、次の特徴があります。
 - 専用ピンのセットあり
 - 通常ほかの GT または I/O クロック領域とクロック ピンを共有
- GT の隣には、ほとんどのデバイスファミリで最適なシグナル インテグリティを達成するために回避すべきユーザー I/O がリストされます。

- 詳細は、「[その他のリソース](#)」に示すように、各デバイス ファミリのギガビット トランシーバ ユーザー ガイドを参照してください。

3. メモリー インターフェイスの定義

- 高速メモリー インターフェイスには、クロックおよびスキューのニーズによって異なる特定のピン配置要件があります。
- 必要なピン配置は Memory Interface Generator (MIG) ソフトウェアにより生成されます。

4. その他の IP

- PCIe® ソフトウェアのような IP (Intellectual Property) には、特定のピン配置要件があります。
- 外部インターフェイスと共に IP をデザインに組み込むには、CORE Generator™ ソフトウェアを使用します。
- Memory Interface Generator (MIG) ソフトウェアのように、ザイリンクス CORE Generator ソフトウェアでは必要なピン配置制約が生成されます。

5. I/O インターフェイス

- その他の I/O インターフェイスを定義します。

6. I/O 規格、属性

- I/O 規格とその他の属性を定義します。
- PlanAhead ソフトウェアでデザイン ルール チェック (DRC) を実行し、I/O バンク制限に対して I/O 規格をチェックします。
- I/O 規格の中には、1 つのバンクにまとめられるものと、まとめられないものがあります。特定のデバイス ファミリーのパッケージおよびピン配置の仕様については、ザイリンクス サポート サイトから該当デバイスのパッケージおよびピン配置のガイドを参照してください。たとえば、「[その他のリソース](#)」に示す『Virtex-6 FPGA Packaging and Pinout Specifications』(UG365) を参照してください。

7. クロック ピンとトポロジ

- FPGA デバイスの専用の外部クロック ピンを使用して最適なクロック パフォーマンスを達成します。
- 次を理解しておく必要があります。
 - I/O vs ファブリックのクロック リソース
 - デバイス ファミリのリージョナル クロックの制限
- グローバル クロック リソース数よりもクロック数の少ないデザインは、通常単純です。
- クロック構造がより複雑な場合は、クロック ツリーおよび早期デザインを配置配線まで実行できるだけのロードを入力する必要があります。
- 複雑なクロック構造には、リージョナル クロックを使用するために自動または手法でフロアプランをする必要のあるクロック カウントが多いデザインが含まれます。

- PlanAhead ではターゲット デバイスの使用可能なクロック リソースが図で表示されるので、クロック配置がしやすくなっています。
- クロック リソース ビューの詳細は、「[その他のリソース](#)」に示すように、各デバイス ファミリのクロック リソース ユーザー ガイドを参照してください。

8. 配置配線

- この段階までで、すべてではなくても、ほとんどの主な構造 (I/O、IP、クロック) が定義されているべきです。定義されて使用可能な主な構造が多いほど、それに関する DRC も正確になります。
- 配置配線までデザインを実行してピン配置を有効にします。
- すべてのロジックを配置する必要はなく、ピン配置に影響する主な構造のみ配置する必要があります。
- デザインを完全にインプリメントし、有効な I/O ピン配置を確定します。
- NGDBuild と MAP レポートの I/O およびクロック関連のメッセージを確認してください。
- 最終デザインおよびピン配置のサインオフ DRC すべてを含むのは、配置配線ツールのみです。

9. ノイズ解析

表 1-1 : PlanAhead でサポートされるノイズ解析方法

方法	サポート デバイス
同時スイッチ ノイズ (SSN)	<ul style="list-style-type: none"> • Spartan®-6 • Virtex®-6
加重平均同時スイッチ ノイズ (WASSO)	<ul style="list-style-type: none"> • Spartan-3 • Virtex-4 • Virtex-5

- 違反が発生した場合の改善方法 :
 - 違反が発生しているグループにノイズの影響をあまり受けない I/O 規格を使用します。
 - 次に変更してノイズを削減します。
 - 低い駆動電流
 - パラレル終端の DCI I/O 規格
 - 低いドライバー クラス
 例 :SSTL Class II を SSTL Class I に変更
 - バンク内のピンをほかのノイズの多いピンからかなり離れた別の場所に移動します。
 - 違反が発生しているピンを複数のバンクに分散します。これで 1 つのバンクの電力システムで問題のある出力数を低減できます。
 - 違反が発生しているグループを複数の同期位相に分散させます。

- デザインを変更したら、次を実行します。
 - 「8. 配置配線」を再実行します。
 - 「9. ノイズ解析」を再実行します。
- 詳細は、「その他のリソース」に示す『PlanAhead ユーザー ガイド』(UG632) を参照してください。

10. ボード レベルの注意事項

- ボード レベルの検証をするには、IBIS (Input/Output Buffer Information Specification) または HSPICE モデルを使用してシグナル インテグリティ解析を実行します。
- ボード全体のピン配置を最適化するには、FPGA ピン配置を次のようなサードパーティ製品へインポートします。
 - Cadence Allegro FPGA System Planner
 - Mentor Graphics I/O Designer
- ピン配置を変更したら、次を実行します。
 - 「8. 配置配線」を再実行します。
 - 手順を続けます。

その他のリソース

- 用語の定義については、ザイリンクスの用語集を参照してください。
http://japan.xilinx.com/support/documentation/sw_manuals/glossary.pdf
- その他のザイリンクス マニュアルについては、次を参照してください。
<http://japan.xilinx.com/support/documentation>
- シリコン、ソフトウェア、IP に関する問題をアンサー データベースで検索したり、テクニカル サポートのウェブ ケースを開くには、次のザイリンクス サポート サイトにアクセスしてください。
<http://japan.xilinx.com/support>
- PlanAhead ソフトウェアでの I/O ピン配置およびフローの詳細は、『PlanAhead ソフトウェア チュートリアル: I/O ピン配置』(UG674) を参照してください。
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_Tutorial_IO_Pin_Planning.pdf
- 特定のデバイス ファミリーのパッケージおよびピン配置の仕様については、ザイリンクス サポート サイト (<http://www.xilinx.com/support/documentation>) から該当デバイスのパッケージおよびピン配置のガイドを参照してください。たとえば、『Virtex-6 FPGA Packaging and Pinout Specifications』(UG365) は、次から入手できます。
http://japan.xilinx.com/support/documentation/user_guides/ug365.pdf
- PlanAhead の機能の詳細は、『PlanAhead ユーザー ガイド』(UG632) の「I/O ピンの配置」の章を参照してください。
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_UserGuide.pdf
- コンフィギュレーション モードの詳細は、次のザイリンクス サポート サイトから各デバイス ファミリーのコンフィギュレーション ユーザー ガイドを参照してください。
<http://japan.xilinx.com/support/documentation>

- ギガビット トランシーバーの詳細は、次のザイリンクス サポート サイトから各デバイス ファミリーのギガビット トランシーバー ユーザー ガイドを参照してください。
<http://japan.xilinx.com/support/documentation>
- クロック リソース ビューの詳細は、次のザイリンクス サポート サイトから各デバイス ファミリーのクロック リソース ユーザー ガイドを参照してください。
<http://japan.xilinx.com/support/documentation>
- ザイリンクス FPGA のピン配置をボード レベルでサポートするサードパーティのピン配置 ツールについては、次を参照してください。
 - Cadence Allegro FPGA System Planner (FSP) :
www.cadence.com
 - Mentor Graphics I/O Designer :
www.mentor.com