

ピン配置設計手法ガイド

UG792 (v14.1) 2012 年 4 月 24 日



Xilinx is disclosing this user guide, manual, release note, and/or specification (the “Documentation”) to you solely for use in the development of designs to operate with Xilinx hardware devices. You may not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU “AS-IS” WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© Copyright 2011 Xilinx Inc. All Rights Reserved. XILINX, the Xilinx logo, the Brand Window and other designated brands included herein are trademarks of Xilinx, Inc. All other trademarks are the property of their respective owners. The PowerPC name and logo are registered trademarks of IBM Corp., and used under license. All other trademarks are the property of their respective owners.

本資料は英語版 (v14.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

| 日付 | バージョン | 改訂内容 |
|------------|-------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 2011年3月1日 | 13.1 | <ul style="list-style-type: none">初期バージョン |
| 2011年7月6日 | 13.2 | <ul style="list-style-type: none">メインの章の最初の段落に、PlanAhead ソフトウェアで合成済みネットリストと共に RTL プロジェクトを使用することを記述「手順 1: デバイスの選択」を新しく追加「その他の IP」を「接続 IP」に変更「ノイズ解析」を「ノイズ解析 (SSO および SSN)」に変更「ギガビット トランシーバーの選択」の下に、GT の配置とハード IP の回避に関する情報を追加「メモリ インターフェイスの追加」の下に、生成された制約ファイルに関する情報を追加「I/O インターフェイス」の下に、その他のインターフェイスを管理するため、PlanAhead ソフトウェアでインターフェイスグループを作成する情報を追加「I/O 規格および属性」の下に、未配置ピンと差動ペアに関する情報を追加「クロックピンとトポロジ」の下に、パッケージの上または下からの表示、PCB デザインの推奨事項とピン配置ガイドラインの表示に関する情報を追加「配置配線」の下に、配置配線前のピンの固定と DRC の実行に関する情報を追加「ノイズ解析 (SSO and SSN)」の下に、SSO および SSN の説明を追加「ノイズ解析 (SSO and SSN)」の下に、加重平均同時スイッチ ノイズ (WASSO) を同時スイッチ出力 (SSO) に変更『PCB デザインおよびピン配置ガイド』へのリファレンスを追加 |
| 2012年4月24日 | 14.1 | <ul style="list-style-type: none">「手順 1: デバイスの選択」に次の文章を追加 スタックド シリコン インターコネクト (SSI) テクノロジを使用するデザインの場合は、付録 A「その他のリソース」に示す『高集積度 FPGA 設計手法ガイド』(UG782)を参照してください。 |

目次

| | |
|-----------------------------------|----|
| 改訂履歴..... | 3 |
| ピン配置設計手法ガイド | |
| I/O ピン配置設計手法の手順..... | 8 |
| 手順 1 : デバイスの選択 | 8 |
| 手順 2 : コンフィギュレーション モードの選択..... | 9 |
| 手順 3 : ギガビット トランシーバーの選択 | 9 |
| 手順 4 : メモリ インターフェイスの定義 | 9 |
| 手順 5 : 接続 IP | 9 |
| 手順 6 : I/O インターフェイス | 9 |
| 手順 7 : I/O 規格、属性..... | 10 |
| 手順 8 : クロック ピンとトポロジ..... | 10 |
| 手順 9 : 配置配線..... | 11 |
| 手順 10 : ノイズ解析 (SSN および SSO) | 11 |
| 手順 11 : ボード レベルの注意事項..... | 12 |
| 付録 A : その他のリソース | |
| ザイリンクス リソース | 13 |
| ISE 資料..... | 13 |
| PlanAhead デザイン解析ツール資料..... | 14 |
| ピン配置の文書 | 14 |

ピン配置設計手法ガイド

『ピン配置設計手法ガイド』では、PlanAhead™ デザイン解析ツールを使用してザイリンクス デバイスの入力/出力 (I/O) ピン配置設計手法を使用することを推奨しています。

フローのどの段階でもピン配置はできますが、このガイドでは合成済みネットリストを使用した RTL プロジェクトに焦点を置いて説明し、さらにデザイン ルール チェック (DRC) が実行できるようになっています。

RTL プロジェクトとネットリストがない場合でも、PlanAhead ではピン配置のみのフローを使用することができます。

PlanAhead およびその I/O 配置環境では、レジスタ トランスファー レベル (RTL) からビットストリームまでのデザイン フローが提供され、次を実行できるようになっています。

- デザイン フローの早期段階で I/O ポートの初期リストを作成、インポート、コンフィギュレーション
- デザイン フローの最後にピン配置の最終検証を実行
- 関連ポートをインターフェイス別にまとめて、それらをパッケージピンに割り当て
- 全自動と半自動のいずれかのモードで I/O ポートの割り当てを制御
- 物理パッケージ ピンおよびバンクとそれらのチップの I/O パッド間の関係を表示
- PCB と FPGA デバイス間の接続を自動的に最適化

I/O ピン配置設計手法の手順

ザイリンクスの推奨する I/O ピン配置設計手法の手順は、次のとおりです。

- 「手順 1: デバイスの選択」
- 「手順 2: コンフィギュレーション モードの選択」
- 「手順 3: ギガビット トランシーバーの選択」
- 「手順 4: メモリ インターフェイスの定義」
- 「手順 5: 接続 IP」
- 「手順 6: I/O インターフェイス」
- 「手順 7: I/O 規格、属性」
- 「手順 8: クロック ピンとトポロジ」
- 「手順 9: 配置配線」
- 「手順 10: ノイズ解析 (SSN および SSO)」
- 「手順 11: ボード レベルの注意事項」

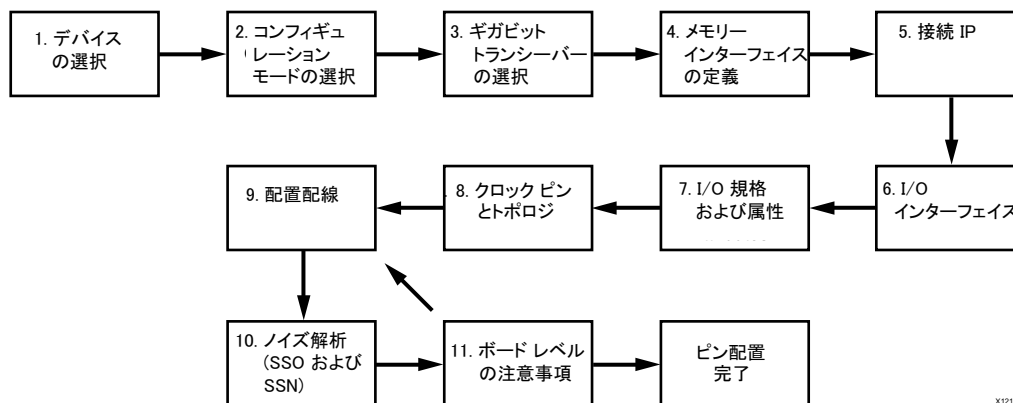


図 1-1: ザイリンクス推奨の I/O ピン配置設計手法

手順 1: デバイスの選択

- 必要なリソースに基づいてデバイス サイズを決定します。
スタックド シリコン インターコネクト (SSI) テクノロジを使用するデザインの場合は、[付録 A 「その他のリソース」](#) に示す『高集積度 FPGA 設計手法ガイド』(UG782) を参照してください。
- メモリへのクリティカルな配線などの PCB 要件に基づき、パッケージと可能性のある代替パッケージを選択します。

手順 2：コンフィギュレーション モードの選択

- ほとんどのコンフィギュレーション モードでは、ユーザー I/O と一部のピンを共有します。共有されるピン数は、シリアル モードの場合は 0 か少数になり、パラレル モードの場合は増加します。
- コンフィギュレーションを問題なく実行するには、信号の競合を回避する必要があります。I/O コンポーネントがコンフィギュレーション後に使用される場合は、それらをコンフィギュレーション中にトライステートに変更する必要があります。
- 可能な場合は、多目的ピンすべてに禁止制約を付けてピン配置を簡素化します。
- 詳細は、付録 A 「その他のリソース」に示すように、各デバイス ファミリのコンフィギュレーション ユーザー ガイドを参照してください。これらのガイドには、各モードの専用ピンおよび共有コンフィギュレーション ピンについて記述されています。コンフィギュレーション モードでその他のピン配置の制限が作成されるかどうかは、ユーザー ガイドを参照してください。

手順 3：ギガビット トランシーバーの選択

- ギガビット トランシーバ (GT) には、専用ピンのセットがあります。
- GT は通常ほかの GT または I/O クロック領域とクロック ピンを共有します。
- GT の隣には、ほとんどのデバイス ファミリのどのユーザー I/O コンポーネントを回避するべきかがリストされ、最適なシグナル インテグリティが達成できるようになっています。
- [Clock Resources] および [Device] ビューを使用して GT を配置します。デバイスのハード IP (例：PCIe) は GT をブロックすることがあるので、避けてください。
- 詳細は、付録 A 「その他のリソース」に示すように、各デバイス ファミリのギガビット トランシーバ ユーザー ガイドを参照してください。

手順 4：メモリ インターフェイスの定義

- 高速メモリ インターフェイスには、クロックおよびスキューのニーズによって異なる特定のピン配置要件があります。
- 必要なピン配置は Memory Interface Generator (MIG) ツールにより生成されます。
- 生成された制約ファイルがプロジェクトに追加されていることを確認します。

手順 5：接続 IP

- イーサネットおよび PCIe® のような IP (Intellectual Property) には、特定のピン配置要件があります。
- 外部インターフェイスと共に IP をデザインに組み込むには、CORE Generator™ ソフトウェアを使用します。
- Memory Interface Generator (MIG) ツールと同様、ザイリンクス CORE Generator ツールでは必要なピン配置制約が生成されます。

手順 6：I/O インターフェイス

- その他の I/O インターフェイスを定義します。

- PlanAhead ツールでインターフェイス グループを作成し、その他のインターフェイスを管理します。これにより、次が可能になります。
 - ポート リストをシンプルにできます。インターフェイスは 1 つのオブジェクトとしてグループ化、配置、管理、ハイライトできます。
 - ポート リストに階層を含めます。

手順 7 : I/O 規格、属性

- I/O 規格とその他の属性を定義します。
- すべての未配置ピンを配置して、ピンが固定されるようにします。これには、自動配置機能も使用できます。
- 差動ペアには注意してください。[Package] ビューでは、[Show Differential I/O Pairs] オプションをオン/オフにして差動ペアを表示/非表示にできます。
- PlanAhead ツールでデザイン ルール チェック (DRC) を実行し、I/O バンク制限に対して I/O 規格をチェックします。
- I/O 規格の中には、1 つのバンクにまとめられるものと、まとめられないものがあります。バンク規則の詳細は、付録 A 「その他のリソース」に示す『SelectIO リソース ユーザー ガイド』を参照してください。
- 特定のデバイス ファミリーのパッケージおよびピン配置の仕様については、ザイリンクス サポート サイトから該当デバイスのパッケージおよびピン配置のガイドを参照してください。たとえば、付録 A 「その他のリソース」に示す『Virtex-6 FPGA パッケージおよびピン配置仕様 (UG365)』を参照してください。

手順 8 : クロック ピンとトポロジ

- FPGA デバイスの専用の外部クロック ピンを使用して最適なクロック パフォーマンスを達成します。
- I/O とファブリックのクロック リソースについて理解します。
- デバイス ファミリーのリージョナル クロックの制限を理解します。
- グローバル クロック リソース数よりもクロック数の少ないデザインは、通常単純です。
- クロック構造がより複雑な場合は、クロック ツリーおよび早期デザインを配置配線まで実行できるだけのロードを入力する必要があります。
- 複雑なクロック構造にはクロック カウントが多いデザインが含まれ、リージョナル クロックを使用するために自動または手動でフロアプランをする必要があります。
- PlanAhead ではターゲット デバイスの使用可能なクロック リソースが図で表示されるので、クロック配置がしやすくなっています。
- パッケージは、上または下から表示できます。パーツをひっくり返すと配置しやすくなることもあります。
- PCB デザインの推奨事項およびピン配置ガイドラインには、次が表示されます。
 - 接続
 - 使用可能なクロック リソース
- クロック リソース ビューの詳細は、付録 A 「その他のリソース」に示すように、各デバイス ファミリーのクロック リソース ユーザー ガイドを参照してください。

手順 9：配置配線

- この段階までで、すべてではなくても、ほとんどの主な構造 (I/O、IP、クロック) が定義されているべきです。定義されて使用可能な構造が多いほど、それに関する DRC も正確になります。
- すべてのピンを固定します。
- 配置配線前に DRC を実行します。
- 配置配線までデザインを実行してピン配置を有効にします。
- すべてのロジックを配置する必要はなく、ピン配置に影響する主な構造のみ配置する必要があります。
- デザインを完全にインプリメントし、有効な I/O ピン配置を確定します。
- NGDBuild と MAP レポートの I/O およびクロック関連のメッセージを確認してください。
- 最終デザインおよびピン配置のサインオフ DRC すべてを含むのは、配置配線ツールのみです。

手順 10：ノイズ解析 (SSN および SSO)

表 1-1：PlanAhead でサポートされるノイズ解析方法 (SSN および SSO)

| 方法 | 説明 | サポート デバイス |
|------------------|------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------|
| 同時スイッチ ノイズ (SSN) | SSN では、相対的なピンの位置に基づいてノイズの多いピンが決定されます。これらのピンは、バンク内または別のバンクのほかの位置に移動できます。 | <ul style="list-style-type: none"> • Spartan®-6 • Virtex®-6 |
| 同時スイッチ出力 (SSO) | SSO では、バンク内で割り当てることのできるユーザー I/O コンポーネントの最大数が計算されます。SSO では、相対的なピンの位置は考慮されません。 | <ul style="list-style-type: none"> • Spartan-3 • Virtex-4 • Virtex-5 • ザイリンクス 7 シリーズ FPGA デバイス |

結果の改善方法

違反が発生した場合の改善方法：

- 違反が発生しているグループにノイズの影響をあまり受けない I/O 規格を使用します。
- 次に変更してノイズを削減します。
 - 低い駆動電流
 - パラレル終端の DCI I/O 規格
 - 低いドライバー クラス

例：SSTL Class II を SSTL Class I に変更

- バンク内のピンをほかのノイズの多いピンからかなり離れた別の場所に移動します。
- 違反が発生しているピンを複数のバンクに分散します。これで 1 つのバンクの電力システムで問題のある出力数を低減できます。
- 違反が発生しているグループを複数の同期位相に分散させます。

デザインの変更

デザインを変更した場合は、次を実行します。

- 「手順 9 : 配置配線」を再実行します。
- 「手順 10 : ノイズ解析 (SSN および SSO)」を再実行します。

詳細は、付録 A 「その他のリソース」に示す『PlanAhead ユーザー ガイド』(UG632) を参照してください。

手順 11 : ボード レベルの注意事項

- ボード レベルの検証をするには、IBIS (Input/Output Buffer Information Specification) または HSPICE モデルを使用してシグナル インテグリティ解析を実行します。
- ボード全体のピン配置を最適化するには、FPGA ピン配置を次のようなサードパーティ製品へインポートします。
 - Cadence Allegro FPGA System Planner
 - Mentor Graphics I/O Designer
- ピン配置を変更した場合は、次を実行します。
 - 「手順 9 : 配置配線」を再実行します。
 - 手順を続けます。

その他のリソース

ザイリンクス リソース

- 『ISE Design Suite : インストールおよびライセンス ガイド』(UG798) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx14_1/iil.pdf
- 『ISE Design Suite : リリース ノート ガイド』(UG631) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx14_1/irn.pdf
- ザイリンクス用語集 :
<http://japan.xilinx.com/company/terms.htm>
- 製品サポートおよび資料 :
<http://japan.xilinx.com/support/documentation/index.htm>
- ザイリンクス デバイス ユーザー ガイド :
http://japan.xilinx.com/support/documentation/user_guides.htm
- ザイリンクス データ シート :
http://japan.xilinx.com/support/documentation/data_sheets.htm

ISE 資料

- 『コマンド ライン ツール ユーザー ガイド』(UG628) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx14_1/devref.pdf
- 『制約ガイド』(UG625) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx14_1/cgd.pdf
- 『タイミング クロージャ ユーザー ガイド』(UG612) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx14_1/ug612.pdf
- 『合成/シミュレーション デザイン ガイド』(UG626) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx14_1/sim.pdf
- 『XST ユーザーガイド (Virtex-4、Virtex-5、Spartan-3、および CPLD デバイス)』(UG627) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx14_1/xst.pdf
- 『XST ユーザー ガイド (Virtex-6、Spartan-6、および 7 シリーズ)』(UG687) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx14_1/xst_v6s6.pdf
- 『高集積度 FPGA 設計手法ガイド』(UG782) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx14_1/ug872_largefpga.pdf

PlanAhead デザイン解析ツール資料

- PlanAhead デザイン解析ツール資料：
http://japan.xilinx.com/support/documentation/dt_planahead_planahead/14-1_userguides.htm
- ユーザー ガイド
 - 『PlanAhead ユーザー ガイド』(UG632)：
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx14_1/PlanAhead_UserGuide.pdf
 - 『PlanAhead Tcl コマンド リファレンス ガイド』(UG789)：
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx14_1/ug789_pa_tcl_commands.pdf
- 設計手法ガイド：
 - 『フロアプラン設計手法ガイド』(UG633)：
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx14_1/Floorplanning_Methodology_Guide.pdf
 - 『階層デザイン設計手法ガイド』(UG748)：
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx14_1/Hierarchical_Design_Methodology_Guide.pdf
- チュートリアル：
http://japan.xilinx.com/support/documentation/dt_planahead_planahead14-1_tutorials.htm
 - 『デザイン解析およびフロアプラン チュートリアル：PlanAhead デザイン ツール』(UG676)：
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx14_1/PlanAhead_Tutorial_Design_Analysis_Floorplan.pdf
 - 『I/O ピン配置チュートリアル：PlanAhead デザイン ツール』(UG674)：
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx14_1/PlanAhead_Tutorial_IO_Pin_Planning.pdf
 - 『デザインの保持チュートリアル：PlanAhead デザイン ツール』(UG747)：
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx14_1/PlanAhead_Tutorial_Design_Preservation.pdf

ピン配置の文書

- PlanAhead ツールでの I/O ピン配置およびフローの詳細は、『I/O ピン配置チュートリアル：PlanAhead デザイン ツール』(UG674) を参照してください。
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx14_1/PlanAhead_Tutorial_IO_Pin_Planning.pdf
- 特定のデバイス ファミリーのパッケージおよびピン配置の仕様については、ザイリンクス サポート サイトから該当デバイスのパッケージおよびピン配置のガイドを参照してください。たとえば、次を参照してください。
 - 『Virtex-6 FPGA パッケージおよびピン配置仕様』(UG365)：
http://japan.xilinx.com/support/documentation/user_guides/ug365.pdf

- バンク規則については、ザイリンクス サポート サイトから該当デバイスの SelectIO リソース ユーザー ガイドを参照してください。たとえば、次を参照してください。
 - 『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』(UG471) :
http://japan.xilinx.com/support/documentation/user_guides/ug471_7Series_SelectIO.pdf
- PCB デザインの質問事項とピン配置ガイドラインについては、各デバイス ファミリの PCB デザインおよびピン配置ガイドを参照してください。
 - 『Spartan-6 FPGA PCB デザインおよびピン配置ガイド』(UG393) :
http://japan.xilinx.com/support/documentation/user_guides/ug393.pdf
 - 『7 シリーズ FPGA PCB デザインおよびピン配置ガイド』(UG483) :
http://japan.xilinx.com/support/documentation/user_guides/ug483_7Series_PCB.pdf
- PlanAhead の機能の詳細は、『PlanAhead ユーザー ガイド』(UG632) の「I/O ピンの配置」の章を参照してください。
http://japan.xilinx.com/support/documentation/dt_planahead_planahead/14-1_userguides.htm
- コンフィギュレーション モードの詳細は、次のザイリンクス サポート サイトから各デバイス ファミリのコンフィギュレーション ユーザー ガイドを参照してください。
<http://japan.xilinx.com/support/documentation>
- ギガビット トランシーバーの詳細は、次のザイリンクス サポート サイトから各デバイス ファミリのギガビット トランシーバー ユーザー ガイドを参照してください。
<http://japan.xilinx.com/support/documentation>
- クロック リソースの詳細は、次のザイリンクス サポート サイトから各デバイス ファミリの クロック リソース ユーザー ガイドを参照してください。
<http://japan.xilinx.com/support/documentation>
- ザイリンクス FPGA のピン配置をボード レベルでサポートするサードパーティのピン配置 ツールについては、次を参照してください。
 - Cadence Allegro FPGA System Planner (FSP) :
www.cadence.com
 - Mentor Graphics I/O Designer :
www.mentor.com

