

# デザインの保持チュートリアル

## PlanAhead ソフトウェア

UG747 (v 13.3) 2011 年 10 月 19 日



Xilinx is disclosing this user guide, manual, release note, and/or specification (the “Documentation”) to you solely for use in the development of designs to operate with Xilinx hardware devices. You might not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that might be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU “AS-IS” WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NON-INFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© Copyright 2011 Xilinx Inc. All Rights Reserved. XILINX, the Xilinx logo, the Brand Window and other designated brands included herein are trademarks of Xilinx, Inc. All other trademarks are the property of their respective owners. The PowerPC name and logo are registered trademarks of IBM Corp., and used under license. All other trademarks are the property of their respective owners.

本資料は英語版 (v13.3) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

# 目次

---

ソフトウェア要件.....	4
ハードウェア要件.....	4
チュートリアル デザインの説明.....	5
手順 1 : 既存の PlanAhead RTL プロジェクトを開いて RTL デザインをエラボレート.....	6
手順 2 : パーティションの設定と Pblock の描画.....	8
手順 3 : デザインの合成およびインプリメンテーション.....	12
手順 4 : インプリメントされたパーティションのプロモート.....	17
手順 5 : 最上位パーティションの RTL のアップデート.....	21
手順 6 : パーティションをインポートして合成およびインプリメントを再実行.....	22
まとめ.....	24

# デザインの保持チュートリアル

---

このチュートリアルでは、デザイン保持フローの概要を説明します。次の内容を学びます。

- エラボレートされたレジスタトランスファー レベル (RTL) デザインでパーティションおよび Pblock を定義
- ザイリンクスのインクリメンタル合成ツール、XST (Xilinx® Synthesis Technology) を使用して合成
- パーティション済みデザインをインプリメント
- 問題のなかったインプリメンテーション結果のプロモート
- 最上位のパーティションをアップデート
- 変更のないパーティションをインポートし、修正された最上位に対して合成とインプリメンテーションを再実行

このチュートリアルでは、PlanAhead ソフトウェアを使用したパーティションとデザイン保持フローについて説明します。PlanAhead ソフトウェアの解析機能の詳細は、ほかのチュートリアルで紹介しています。すべてのコマンド オプションについて説明されているわけではではありません。

## ソフトウェア要件

PlanAhead ソフトウェアは、ISE® Design Suite ソフトウェアをインストールするとインストールされます。チュートリアルを始める前に、PlanAhead ソフトウェアが起動できるか、チュートリアル デザイン データがインストールされているかを確認してください。

インストール方法およびその詳細は、[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx13\\_3/iil.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_3/iil.pdf) から『ISE Design Suite : インストールおよびライセンス ガイド』(UG798) を参照してください。

## ハードウェア要件

大型デバイスで PlanAhead ソフトウェアを使用するには、2GB 以上の RAM が推奨されます。このチュートリアルでは、小型の XC6VLX75T デザインを使用し、一度に開くデザインの数を制限しているため 1GB でも十分ですが、パフォーマンスに影響することがあります。

## チュートリアル デザインの説明

このチュートリアルで使用されるサンプル デザインには、2 組の合成結果が含まれています。

- 1 つは標準のトップダウン合成フローを使用して作成された合成結果で、フラット インプリメンテーションで使用します。
- もう 1 つはインクリメンタル合成フローを使用して作成された合成結果で、デザイン保持フローで使用します。こちらにはパーティションされるモジュール インスタンスのネットリストが含まれています。

このチュートリアルで使用されるデザインには、次のものが含まれています。

- RISC プロセッサ
- FFT
- ギガビットトランシーバー
- USB ポート モジュール 2 つ (パーティション分割される)
- XC6VLX75T デバイス

このチュートリアルでは、ハードウェアリソースやチュートリアルに要する時間、データ サイズを節約するために、小型のデザインを使用しています。

次のサイトから、PlanAhead\_Tutorial.zip ファイルをダウンロードします。

[http://japan.xilinx.com/support/documentation/dt\\_planahead\\_planahead13-3\\_tutorials.htm](http://japan.xilinx.com/support/documentation/dt_planahead_planahead13-3_tutorials.htm)

書き込み権のあるディレクトリに ZIP ファイルを解凍します。

解凍された PlanAhead\_Tutorial データ ディレクトリは、このチュートリアルでは <Extract\_Dir> と表記しています。

チュートリアルのサンプル デザイン データは、チュートリアル実行中に変更されます。チュートリアルを実行するたびに、元の PlanAhead\_Tutorial データを新しくコピーして使用してください。

## 手順 1 : 既存の PlanAhead RTL プロジェクトを開いて RTL デザインをエラボレート

このチュートリアルでは、既存の PlanAhead ソフトウェアのプロジェクトを使用することで、デザイン保持の手順にのみ焦点を置いて説明します。実際のデザインでは、New Project ウィザードを使用して RTL またはネットリストベースのプロジェクトを作成してください。PlanAhead ソフトウェアの v13.1 およびそれ以降のバージョンでは、パーティションを含む RTL プロジェクトがサポートされています。

### 既存の PlanAhead ソフトウェアの RTL プロジェクトを開く

既存の PlanAhead ソフトウェアの RTL プロジェクトを開きます。

1. PlanAhead ソフトウェアを起動します。
  - a) Windows の場合は、[Xilinx® PlanAhead 13] デスクトップ アイコンをダブルクリックするか、次のように起動させます。  
[スタート] → [プログラム] → [Xilinx ISE Design Suite 13.3] → [PlanAhead] → [PlanAhead]
  - b) Linux の場合は、次のディレクトリに移動し「planAhead」と入力します。  
<ISE\_install\_dir>/PlanAhead\_Tutorial/Tutorial\_Created\_Data
2. Getting Started ページの [Open Project] リンクをクリックします。
3. <Extract\_Dir> ディレクトリから次のプロジェクト ファイルを開きます。  
./Projects/project\_DPRTL/project\_DPRTL.ppr

### ソース ファイルの表示

プロジェクトが開くと Project Manager 環境が表示されます。[Sources] ビューで次のデザインのソース ファイルを確認できます。

- VHDL ソース ファイル
- Verilog ソース ファイル
- top\_full.ucf : ユーザー制約ファイル (UCF)。タイミング制約と I/O ピン ロケーションが含まれます。

### RTL デザインのエラボレーション

RTL プロジェクトでパーティションを定義するには、RTL デザインを使用する必要があります。RTL デザインを開くと、次の処理が実行されます。

- RTL コードがエラボレートされます。
- デザイン階層が表示されます。  
これは合成前のデザイン ビューで、パーティションの定義や制約の作成に使用します。

RTL デザインをエラボレートするには、次の手順に従います。

1. [Flow] → [Open RTL Design] をクリックするか、Flow Navigator の [RTL Design] をクリックします。

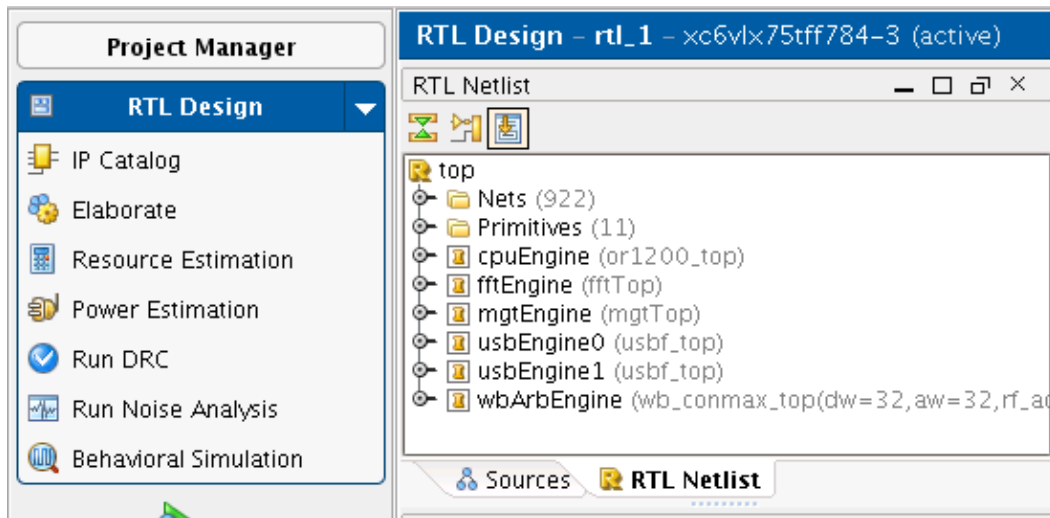


図 1 : RTL デザインを開く

2. 表示される警告メッセージは無視します。

RTL デザインを開くと UCF ファイルが解析されます。RTL Design 環境に表示されるのは合成前のデザインなので、I/O バッファなど、エラボレートされたデザインにはない制約が UCF ファイルでインスタンスに設定されています。このためメッセージを無視しても問題はありません。

3. [OK] をクリックします。

## 手順 2 : パーティションの設定と Pblock の描画

usbEngine インスタンスはタイミングクリティカルなモジュールであることがわかっているので、これらのインスタンスの良好なインプリメンテーション結果を保持しておくことが便利です。ただし、これだけではパーティションに向いているとは言えません。

usbEngine インスタンスは、次の理由からパーティションに適しています。

- 残りのデザインから論理的に分離されている。
- 入力および出力にレジスタを付けることにより、妥当なインターフェイス タイミングが得られる。

モジュールがパーティションに適しているかどうかは、DRC を使用して確認できます。パーティションにモジュールインスタンスを選択する方法については、『階層デザイン手法ガイド』(UG748) を参照してください。

パーティションを設定したインスタンスは、ほかのインスタンスと同様にフロアプランできます。Pblock (AREA\_GROUP 制約) を作成すると、タイミング クロージャを達成し、ランタイムを改善しやすくなります。このチュートリアル の UCF では、usbEngine の I/O ロジックがデバイスの左側に制約されています。次の手順で、2 つの usbEngine インスタンスに Pblock を作成する方法を説明します。

### 2 つの usbEngine インスタンスのパーティション設定

2 つの usbEngine インスタンスのパーティションを設定します。

1. [RTL Netlist] ビューで 2 つの usbEngine インスタンスを選択します。
2. 右クリックします。
3. [Set Partition] をクリックします。

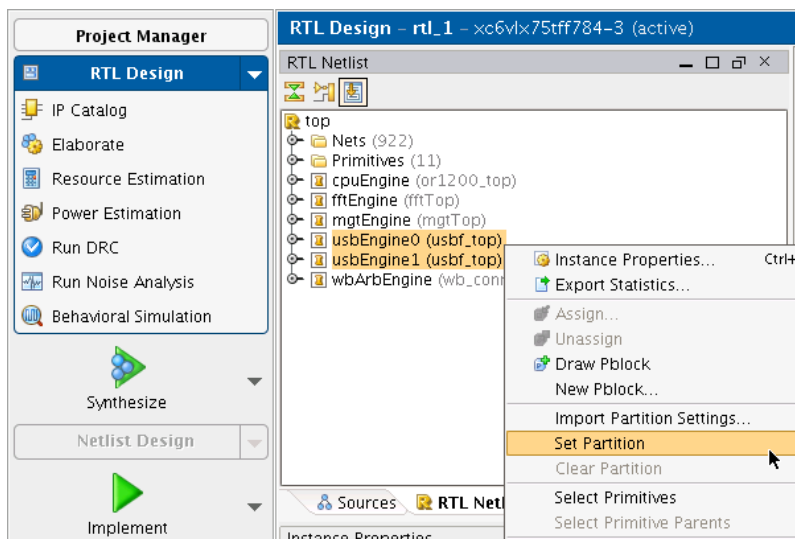


図 2 : usbEngine インスタンスのパーティション設定



## 2 つの usbEngine インスタンスの Pblock の描画

この手順は合成結果には影響しないので、ネットリスト デザインを開いて合成後のデザインに対して実行することもできます。そうするとリソース予測などにより Pblock のサイズを特定しやすくなる利点があります。

2 つの usbEngine インスタンスの Pblock を描画します。

1. [RTL Netlist] ビューで usbEngine1 を選択して右クリックします。
2. [Draw Pblock] をクリックします。

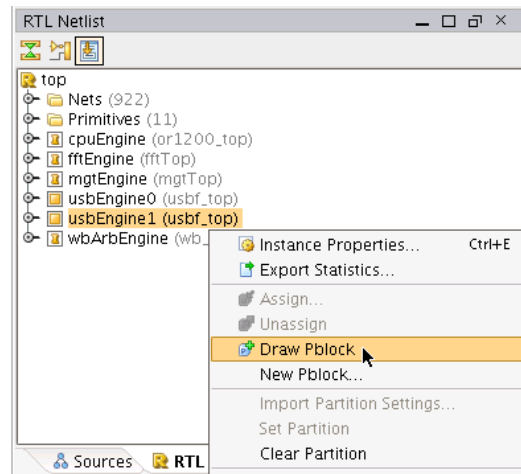


図 3 : [Draw Pblock] の選択

3. [Draw Pblock] ツールがオンの状態で、カーソルを [Device] ビューに移動します。
4. デバイスの左上の CLB コンポーネントが開始する地点をクリックします。
5. マウスをボタンを押した状態でドラッグし、デバイスの左上の区画のほとんどを囲む長方形を描画します。図 4 を参照してください。
6. [New Pblock] ダイアログ ボックスで SLICE および RAMB36 グリッドが選択されていることを確認します。
7. その他の不要なリソースはオフにします。図 4 を参照してください。
8. 使用可能な RAMB36 コンポーネント数 (かっこ内に表示) が 36 であることを確認します。

長方形に図 4 に表示される領域が完全に含まれていない場合は、この数値が 36 未満になり、デザインを配置できません。

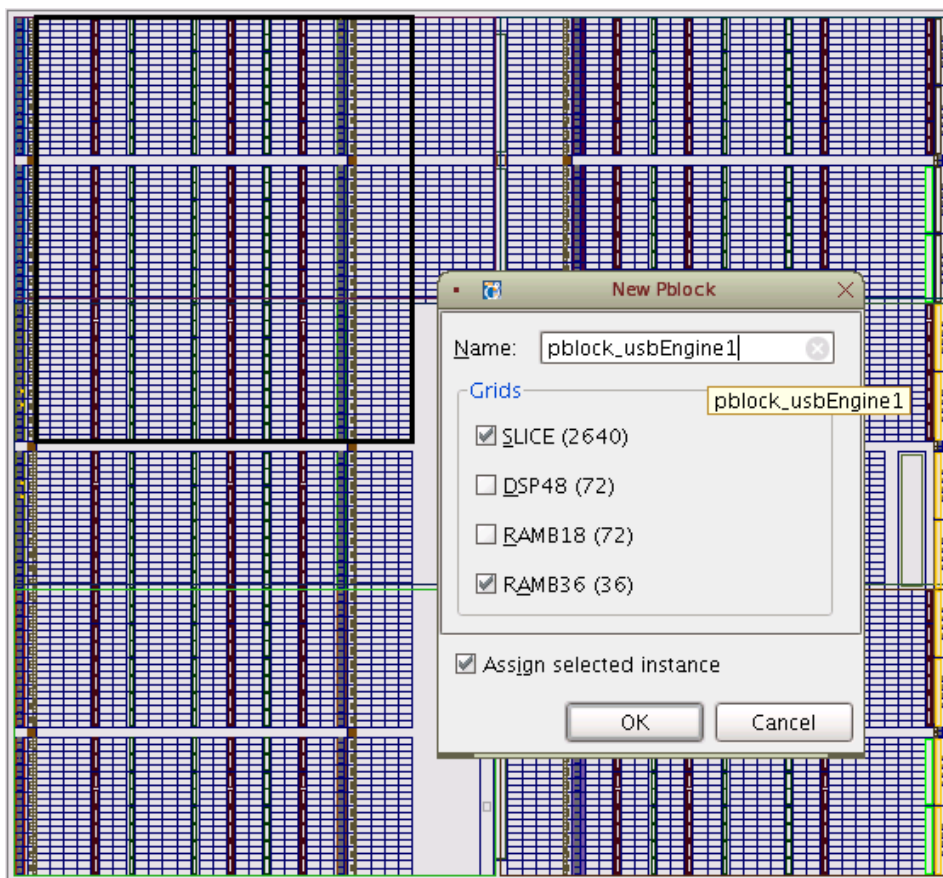


図 4 : usbEngine1 の Pblock を定義する長方形

9. [OK] をクリックします。
10. 使用可能な RAMB36 の数を確認します。  
図 5 のように Pblock の長方形が RAMB36 を完全に含んでいない場合は、リソースの数が 36 未満になる可能性があります。この場合は、Pblock の長方形のサイズを調整する必要があります。
11. 上記の手順を繰り返して usbEngine0 を左下の区画に配置します。

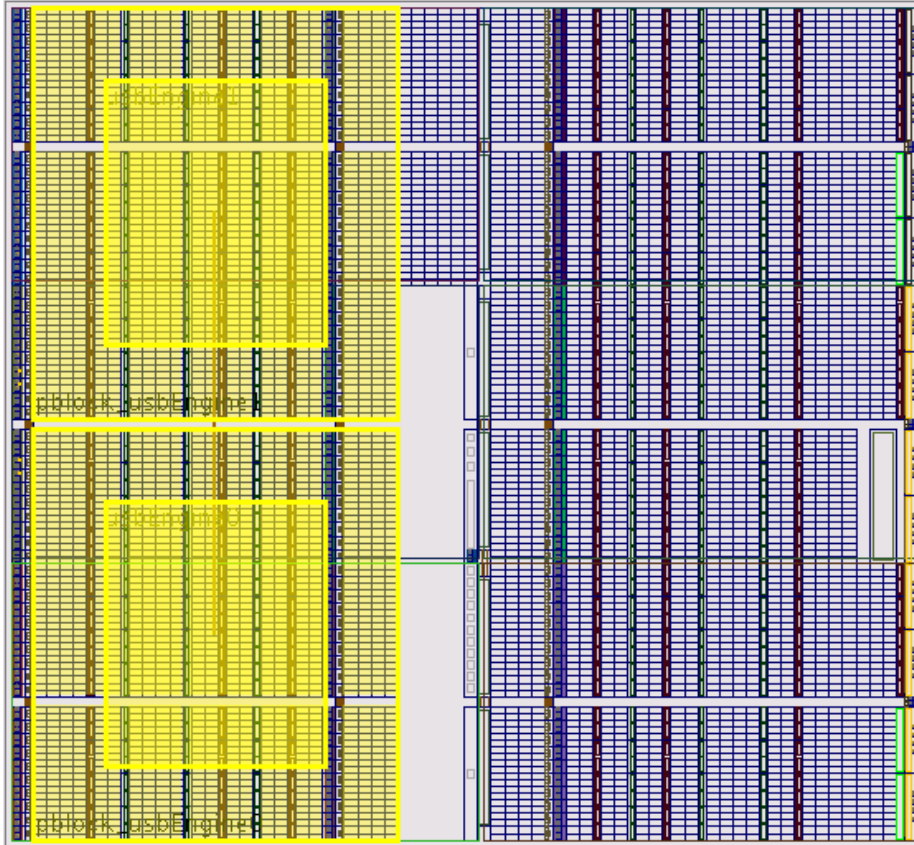


図 5 : usbEngine0 および usbEngine1 の Pblock を設定完了

## 手順 3 : デザインの合成およびインプリメンテーション

ここまでで、パーティションが定義され必要な制約がすべて作成されたので、合成およびインプリメンテーションを実行できます。パーティションはエラボレートされたハードウェア記述言語 (HDL) デザインで定義されたので、XST で次の処理が実行されます。

- パーティションの検出
- インクリメンタル フローの実行
- 定義されたパーティションごとの NGC ファイルの作成

### NGC ファイル

定義されたパーティションごとに作成される NGC ファイルには、重複しないように名前が付けられます。これにより、モジュールの複数インスタンスをさまざまなパラメーターで合成できるようになっています。このチュートリアルでは、合成により次の NGC ファイルが <project\_name>.runs/synth\_1 ディレクトリに生成されます。

- top.ngc
- usbEngine0#usbf\_top.ngc
- usbEngine1#usbf\_top.ngc

### PlanAhead ソフトウェア外での合成の実行

ボトムアップ合成またはサードパーティのインクリメンタル合成フローを使用する場合、合成は PlanAhead ソフトウェア外で実行できます。

PlanAhead のネットリスト プロジェクトをこのチュートリアルで示す RTL プロジェクトの代わりに使用します。

## PlanAhead ソフトウェアでの合成の実行

PlanAhead ソフトウェアで合成を実行します。

1. Flow Navigator で [Synthesize] をクリックします。

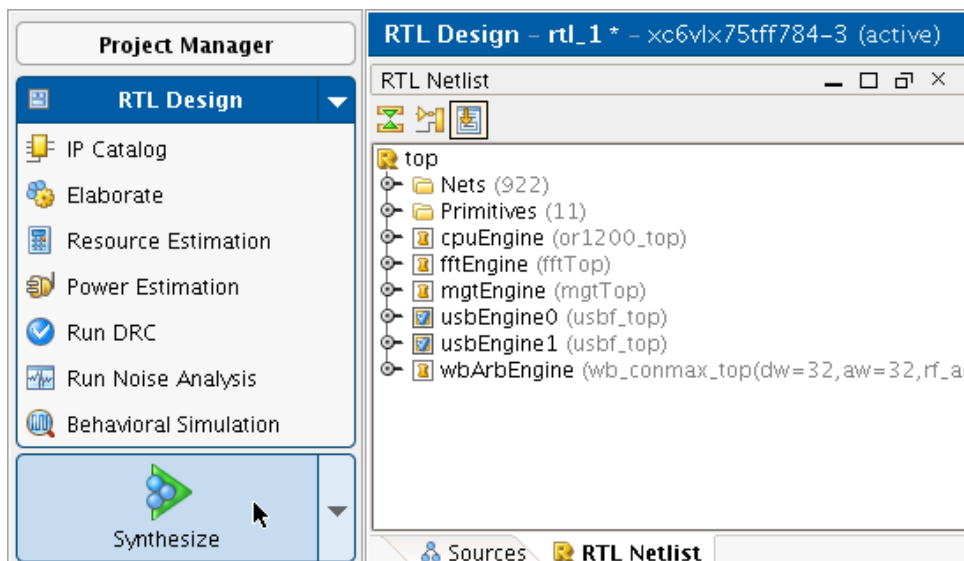


図 6 : XST インクリメンタル合成の実行

2. 特定の XST オプションを設定したり、パーティションの設定を確認するには、[Synthesize] ボタンの右側のドロップダウンメニューを使用します。
3. [Synthesis Settings] をクリックします。
4. デフォルト設定のままであれば [Run] をクリックします。
5. 合成が完了するとダイアログ ボックスが表示され、次の操作を選択できます。[Open Netlist Design] をオンにし、[OK] をクリックします。

## パーティションの DRC 実行

RTL デザインに対してもデザイン ルール チェック (DRC) を実行できますが、この段階で実行できるチェックは限られているので、DRC は合成後のデザインに対してインプリメンテーション前に実行することをお勧めします。DRC を実行するには、ネットリスト デザインを開き、パーティション用の DRC を実行します。

パーティションで DRC を実行します。

1. ネットリスト デザインが開いていない場合は [Netlist Design] をクリックします。  
これで合成結果が表示され、より多くの DRC を実行できるようになります。
2. Flow Navigator の [Netlist Design] の下の [Run DRC] をクリックするか、または [Tools] → [Run DRC] をクリックします。
3. [Run DRC] ダイアログ ボックスで [Partition] 以外のルールをすべてオフにします。

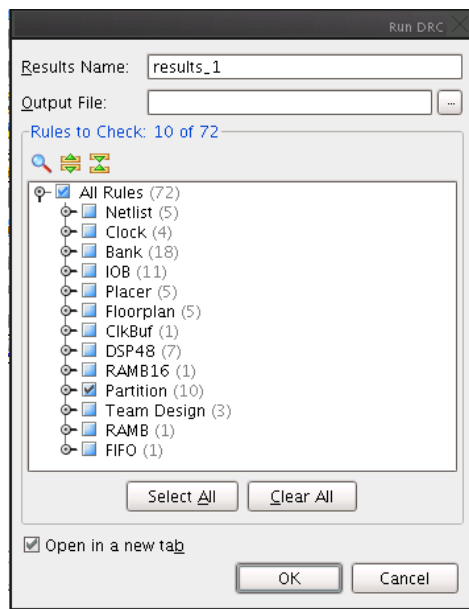


図 7 : パーティションのデザイン ルール チェックの実行

4. [OK] をクリックします。

## DRC のアドバイザリ メッセージ

DRC の結果、アドバイザリメッセージが表示されます。DRC ルールに対し、次のようなメッセージが表示されます。

- アドバイザリ
- 警告
- エラー
- 致命的エラー

このチュートリアルでは、アドバイザリメッセージは無視します。実際のデザインでは、すべての DRC メッセージを確認し、重要な問題は修正してください。

## PlanAhead ソフトウェアでのインプリメンテーションの実行

PlanAhead ソフトウェアでインプリメンテーションを実行する準備が整いました。パーティションを使用してデザインをインプリメントするには、次の追加手順が必要でした。

- パーティションの定義
- DRC チェックの実行

このデザインは階層を使用して作成されているので、パーティションを使用して動作するように変更する必要はありませんが、パーティション デザインを問題なく実行するには、合成またはインプリメンテーション ツールを使用するのではなく、RTL デザイン段階で多くの作業が必要となります。推奨される階層デザインについては、『階層デザイン手法ガイド』(UG748)を参照してください。

## インプリメンテーションの省略

このチュートリアルでインプリメンテーションにかかる時間を省く場合は、次のディレクトリにある合成およびインプリメンテーション結果を含む完了したプロジェクトを使用できます。

<Extract\_Dir>/Projects/project\_DP\_RTL\_implemented/project\_DP\_RTL\_implemented.ppr

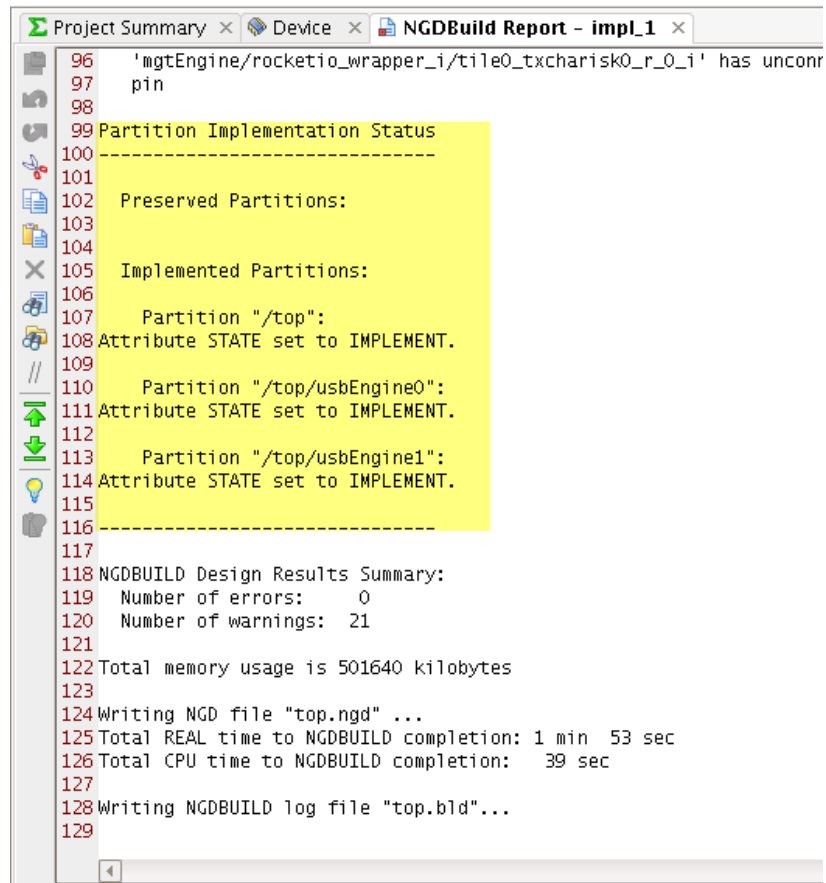
[File] → [Open Project] をクリックしてインプリメンテーションの完了結果を開きます。

インプリメンテーションを省略した場合は、「手順 4 : インプリメントされたパーティションのプロモート」に進んでください。

## インプリメンテーションの実行

PlanAhead ソフトウェアでインプリメンテーションを実行します。

1. Flow Navigator で [Implement] をクリックします。
2. [Report] タブをクリックすると、すべてのインプリメンテーションレポートのリストが表示されます。各レポートはプロセスが完了すると出力されます。
3. NGDBuild が終了したら [NGDBuild Report] をダブルクリックします。
4. レポートファイルの一番下までスクロールし、パーティション情報を確認します。



```
96 'mgtEngine/rocketio_wrapper_i/tile0_txcharisk0_r_0_i' has unconn
97 pin
98
99 Partition Implementation Status
100 -----
101
102 Preserved Partitions:
103
104
105 Implemented Partitions:
106
107 Partition "/top":
108 Attribute STATE set to IMPLEMENT.
109
110 Partition "/top/usbEngine0":
111 Attribute STATE set to IMPLEMENT.
112
113 Partition "/top/usbEngine1":
114 Attribute STATE set to IMPLEMENT.
115
116 -----
117
118 NGDBUILD Design Results Summary:
119 Number of errors: 0
120 Number of warnings: 21
121
122 Total memory usage is 501640 kilobytes
123
124 Writing NGD file "top.ngd" ...
125 Total REAL time to NGDBUILD completion: 1 min 53 sec
126 Total CPU time to NGDBUILD completion: 39 sec
127
128 Writing NGDBUILD log file "top.bld"...
129
```

図 8 : レポート ファイルのインプリメンテーション ステータス

パーティション情報 :

- 各レポート (NGDBuild、MAP、および PAR) で表示されます。
- 該当する run のすべてのパーティションのステータスを簡単に確認できます。



## 手順 4 : インプリメントされたパーティションのプロモート

インプリメンテーションが問題なく完了したら、結果をプロモートできます。結果をプロモートすると、次のディレクトリにインプリメンテーションのコピーが作成されます。

```
<project_name>.promote\X<run_name>
```

たとえば次のようになります。

```
project_DP_RTL.promote\Ximpl_1
```

PlanAhead ソフトウェアでは、プロモートされたパーティションに対して次が実行されます。

- プロモートされた最新の run を監視します。
- プロモートされたパーティションのスタートおよびインポート場所を変更します。

また、これらのプロセスを手動で管理することもできます。

### 問題のなかったインプリメンテーション結果をプロモート

インプリメンテーションが終了すると、[Implementation Completed] ダイアログ ボックスが表示されます。

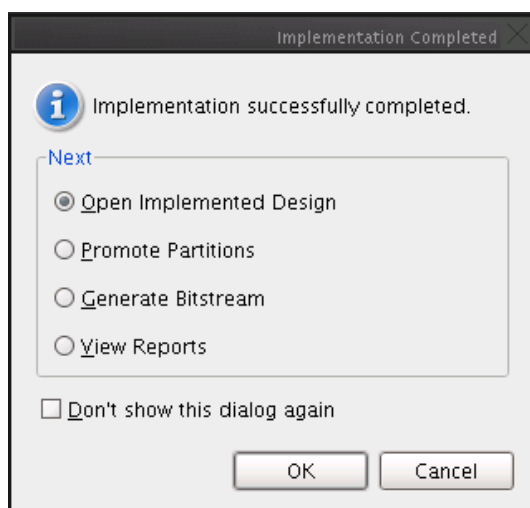


図 9 : [Implementation Completed] ダイアログ ボックス

合成およびインプリメンテーション結果をプロモートするには、次の手順に従います。

1. [Open Implemented Design] をオンにし、[OK] をクリックします。

[Promote Partitions] オプションをオンにして結果をプロモートすることもできますが、このチュートリアルでは別の方法で結果をプロモートします。

[Implementation Completed] ダイアログ ボックスが表示されない場合、または完了したプロジェクト project\_DP\_RTL\_implemented を開いている場合は、Flow Navigator で [Implemented Design] をクリックして結果を読み込みます。

2. 最終的なタイミング スコアや詳細なタイミング レポートを確認して、結果が問題ないかどうか検証します。図 10 を参照してください。

- タイミング スコアは 0 です。
- リストされているワースト ケース パスのスラックは正の値です。

図 10 には 2 つの usbEngine インスタンスのロジックが示されています。これは、インスタンスの配置が AREA\_GROUP で制御されたことを示しています。

**Timing Results**

Name	Type	Slack	Net	From	To	Total Delay	Logic Delay	Net Delay	Logic %
Constrained (9)									
TS_usbClk = PERIOD TIMEGRP "usbClk" 5.25 ns HIGH 50% (2)									
Setup (30)									
Path 1	SETUP	0.011		usbEngine...	usbEngine...	5.025	1.794	3.231	35.7
Path 2	SETUP	0.084		usbEngine...	usbEngine...	4.832	1.635	3.197	33.8
Path 3	SETUP	0.165		usbEngine...	usbEngine...	4.741	1.897	2.844	40.0

**Design Runs**

Name	Part	Constraints	Strategy	Host	Status	Timing Score	Progress
synth_1	xc6vx75tff784-3	constrs_1	PlanAhead Defa...	xcowo...	XST Complete!		100%
impl_1	xc6vx75tff784-3	constrs_1	ISE Defaults (ISE...	xcowo...	PAR Complete!	0	100%

図 10 : 問題のなかったインプリメンテーション結果の確認

3. 2 つの usbEngine インスタンスのプリミティブをハイライトするには、次の手順に従います。
- [Netlist] ビューでロジック インスタンスを選択します。
  - 右クリックします。
  - [Highlight Primitives] をクリックします。

4. Flow Navigator で [Promote Partitions] をクリックし、合成およびインプリメンテーション結果をプロモートします。図 11 を参照してください。

プロモートする際に RTL デザインが開いていないと、開くかどうか尋ねるメッセージが表示されます。

5. [OK] をクリックします。

「RTL デザインのエラボレーション」で説明したクリティカルな警告が表示されることもあります。

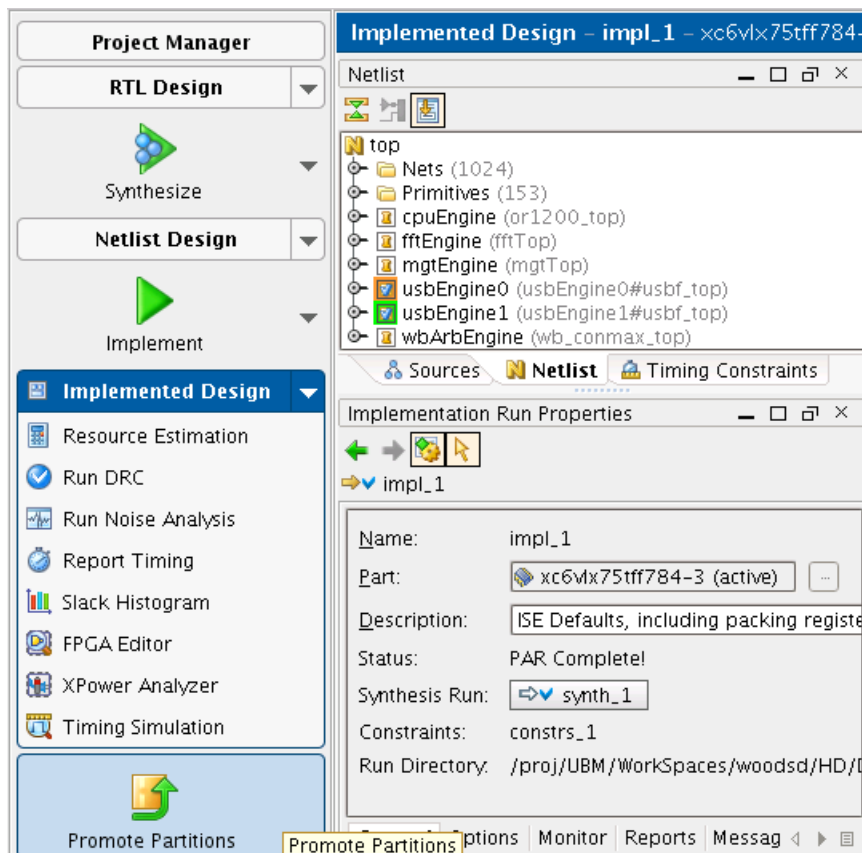


図 11 : パーティションのプロモート

6. 2 つの `usbEngine` インスタンスが合成およびインプリメンテーションでプロモートされるようにオンになっていることを確認します。図 12 を参照してください。

最上位のパーティションはデフォルトでは選択されていませんが、ほかのパーティションと同様にプロモートできます。このチュートリアルでは、最上位のパーティションをこの後アップデートするので、ここでプロモートする必要はありません。

7. オプションで、プロモートするデータの詳細を入力します。
8. [Automatically manage Partition action and import location] がオンになっていることを確認します。

これをオンにしておくと、PlanAhead ソフトウェアでパーティション ステートが `import` にアップデートされてインポートディレクトリが指定され、次の合成およびインプリメンテーション `run` でインポートされるようになります。このオプションがオフの場合、ユーザーがこれらの属性を管理する必要があります。

9. [OK] をクリックし、2 つの `usbEngine` パーティションをプロモートします。

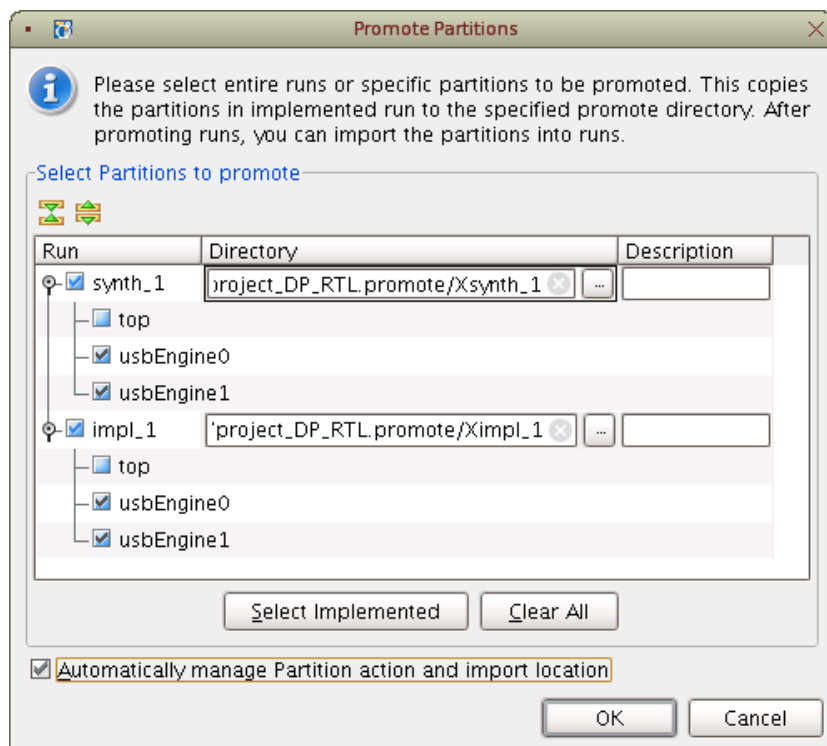


図 12 : [Promote Partitions] ダイアログ ボックス

10. パーティションのプロモートによる変更を確認します。図 13 を参照してください。

- RTL Design 環境に [Promoted Partitions] タブが表示されている。
- [Synthesis Settings] および [Implementation Settings] ダイアログ ボックスの [Specify Partitions] ボックスで usbEngine インスタンスが Import に設定されている。

11. [Synthesis Settings] ダイアログ ボックスを表示には、[Synthesize] ボタンの横にあるプルダウン メニューをクリックします。[Implementation Settings] ダイアログ ボックスにアクセスするには、[Implement] ボタンの横にあるプルダウン メニューをクリックします。[Specify Partitions] ダイアログ ボックスも、このプルダウン メニューから表示できます。

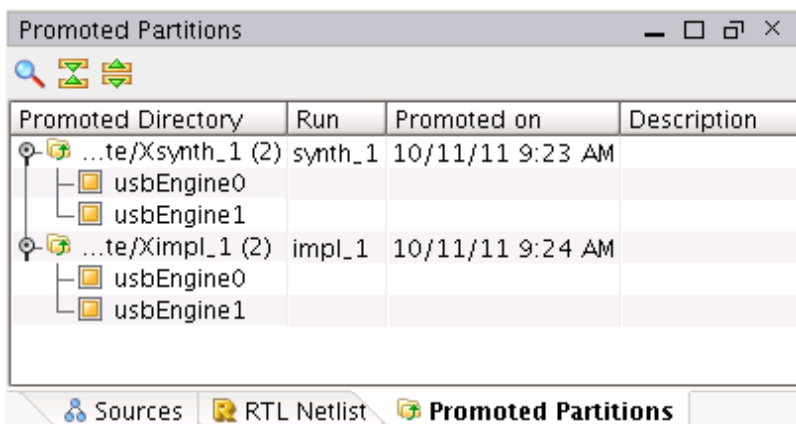


図 13 : [Promoted Partitions] ビュー

## 手順 5 : 最上位パーティションの RTL のアップデート

問題のなかった合成およびインプリメンテーション結果がプロモートされたので、次はデザインに変更を加えます。たとえば、新機能、問題修正、またはパイプライン レジスタといった変更を加えることができます。

このチュートリアルでは、最上位パーティションに属するモジュールに簡単な変更を加えます。2 つのタイミングクリティカルな usbEngine パーティションは保持したまま、変更されたパーティション (この場合は Top) の合成およびインプリメントを実行し直します。

### Verilog ファイルの変更

Verilog ファイル or1200\_defins.v を変更します。

1. Flow Navigator で [Project Manager] をクリックし、Project Manager 環境を開きます。
2. [Sources] ビューで Verilog ヘッダー ファイルの or1200\_defins.v を検索します。
3. or1200\_defins.v をダブルクリックし、テキスト エディターで開きます。

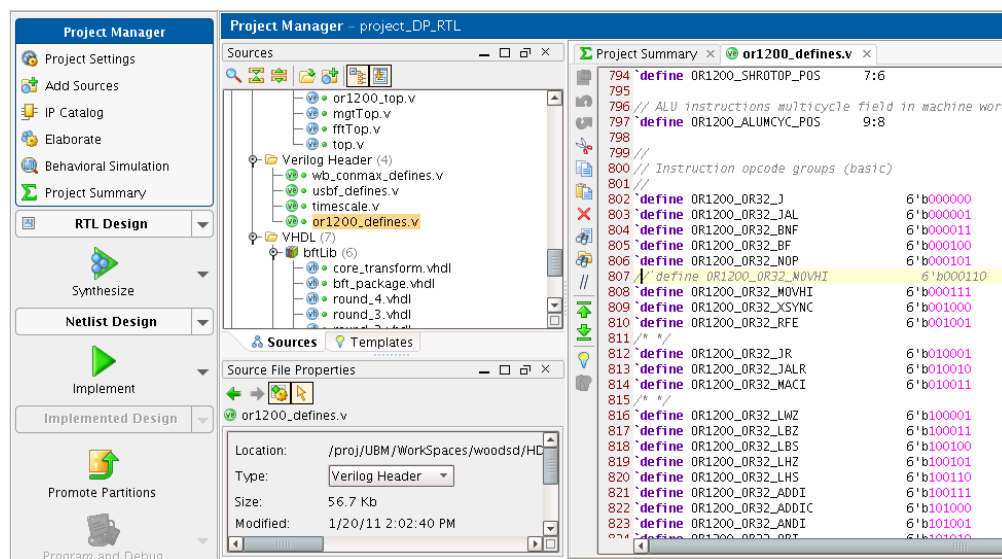


図 14 : or1200\_defins.v のアップデート

4. 807 行目の冒頭にダブル スラッシュ (//) を挿入し、コメントアウトします。  
//define OR1200\_OR32\_MOVHI 6'b000110
5. 808 行目の冒頭にあるダブル スラッシュ (//) を削除し、コメントをはずします。  
`define OR1200\_OR32\_MOVHI 6'b000111
6. 右クリックし、[Save File] をクリックします。

ウィンドウの右上に [Synthesis & Implementation Out-of-Date] と表示されます。これは、ツールで次のことが認識されたことを示します。

- ソース ファイルが変更された。
- 現在の合成およびインプリメンテーション結果は最新版のデザインを反映していない。

## 手順 6 : パーティションをインポートして合成およびインプリメントを再実行

これまでに次の作業を完了しました。

- パーティションの定義
- Pblock の定義
- デザインの合成およびインプリメンテーション
- 2 つの usbEngine インスタンスのプロモート
- 最上位パーティションの変更

これで、2 つの USB コアの配置および配線結果のコピーを維持しつつ、変更した最上位パーティションを再インプリメントできます。

### インプリメンテーションの省略

このチュートリアルでインプリメンテーションにかかる時間を省く場合は、次のディレクトリにある合成およびインプリメンテーション結果を含む完了したプロジェクトを使用できます。

<Extract\_Dir>/Projects/project\_DP\_RTL\_implemented/project\_DP\_RTL\_implemented.ppr

[File] → [Open Project] をクリックしてインプリメンテーションの完了結果を開きます。

### 合成のパーティション属性の確認

合成のパーティション属性を確認します。

1. Flow Navigator で [Synthesize] ボタンの横にあるプルダウン メニューをクリックします。
2. [Synthesis Settings] をクリックします。
3. [Synthesis Settings] ダイアログ ボックスで [Specify Partitions] ボックスの右側にあるボタンをクリックします。
4. 次の点を確認します。
  - 最上位パーティションが [Implement] に設定されている。
  - 2 つの usbEngine パーティションが [Import] に設定されている。
5. [OK] をクリックします。

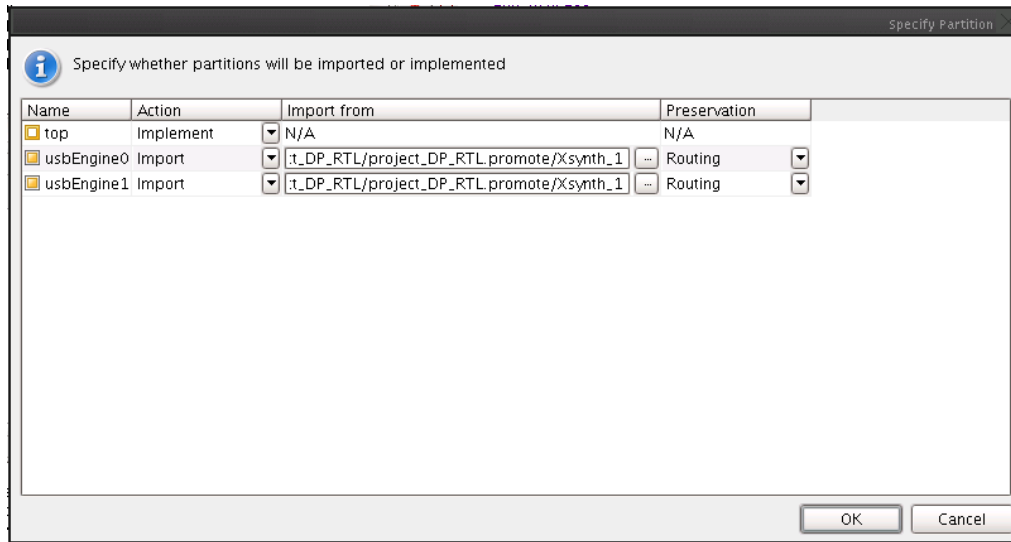


図 15 : パーティション属性の確認

6. [Save] をクリックします。

## インプリメンテーションのパーティション属性の確認

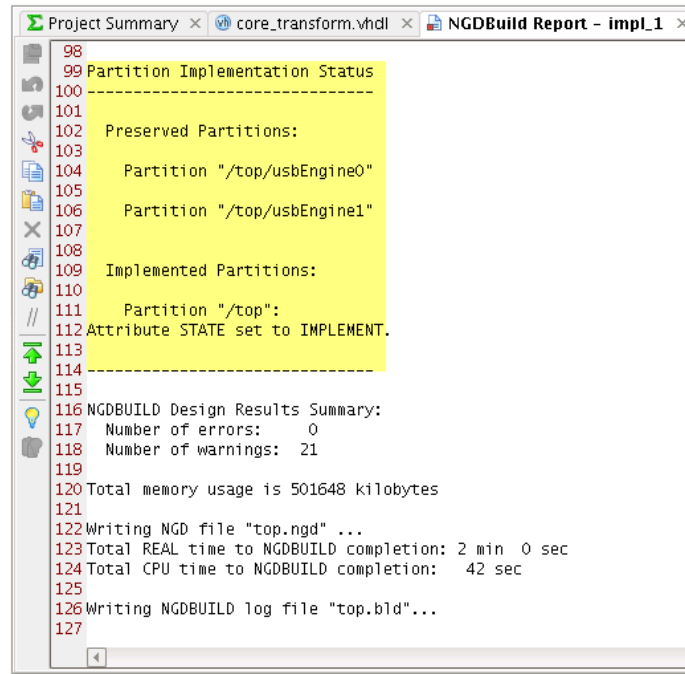
インプリメンテーションのパーティション属性を確認します。

1. Flow Navigator で [Implement] ボタンの横にあるプルダウン メニューをクリックします。
2. 上記の手順を繰り返し、インプリメンテーション設定を確認します。

## 合成およびインプリメンテーションの実行

合成およびインプリメンテーションを実行します。

1. Flow Navigator で [Implement] をクリックし、インプリメンテーションを実行します。
2. 合成結果が最新ではないので、まず合成を実行するかどうかを尋ねるメッセージが表示されます。[Yes] をクリックして合成とインプリメンテーションを実行します。
3. NGDDBuild、MAP、PAR レポートのパーティション ステータスのセクションで次を確認します。
  - 2 つの usbEngine パーティションがインポートされている。
  - すべてのタイミング制約が満たされている。



```
98
99 Partition Implementation Status
100 -----
101
102 Preserved Partitions:
103
104 Partition "/top/usbEngine0"
105
106 Partition "/top/usbEngine1"
107
108
109 Implemented Partitions:
110
111 Partition "/top":
112 Attribute STATE set to IMPLEMENT.
113 -----
114
115
116 NGDBUILD Design Results Summary:
117 Number of errors: 0
118 Number of warnings: 21
119
120 Total memory usage is 501648 kilobytes
121
122 Writing NGD file "top.ngd" ...
123 Total REAL time to NGDBUILD completion: 2 min 0 sec
124 Total CPU time to NGDBUILD completion: 42 sec
125
126 Writing NGDBUILD log file "top.bld"...
127
```

図 16 : レポート ファイルのパーティション インプリメンテーション ステータス

## まとめ

このチュートリアルでは、次の内容を学びました。

- パーティションの定義
- Pblock 制約の作成
- 合成およびインプリメンテーションの実行
- タイミングが満たされていることの確認
- 今後繰り返し使用できるよう、問題のなかった結果のプロモート

最上位モジュールがアップデートされたので、合成およびインプリメンテーションを再実行する必要がありました。USB コアは変更されなかったため、インポートして同じ配置配線結果を保持しました。

この 2 つの大きなタイミング クリティカル コアのタイミング結果は既に検証されているので、usbEngine インスタンスに変更を加えなければ、今後繰り返し使用できます。