

Vivado Design Suite ユーザーガイド

入門

UG910 (v2012.2) 2012 年 7 月 25 日



Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

© Copyright 2012 Xilinx, Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は英語版 (v2012.2) を翻訳したもので、内容に相違が生じる場合には原文を優先します。
資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2012/07/25	2012.2	初版

目次

改訂履歴	2
第 1 章：Vivado Design Suite の概要	
Vivado Design Suite とは	4
Vivado IDE の概要	4
Vivado Design Suite のアドバンス機能	5
第 2 章：Vivado Design Suite へのデザインの移行	
概要	8
第 3 章：Vivado Design Suite の開始	
Vivado Design Suite のインストール	9
Vivado IDE の起動	9
Vivado IDE の使用開始	10
Tel の使用 (アドバンス ユーザー用)	12
第 4 章：Vivado Design Suite の情報入手	
Xilinx Documentation Navigator	13
ビデオ チュートリアル	13
ツール チュートリアル	14
統合資料	14
付録 A：XilinxNotify を使用したリリースのインストール	
概要	15
XilinxNotify の実行	15
[Preferences] ダイアログ ボックスからの自動アップデートの設定	16
付録 B：その他のリソース	
ザイリンクス リソース	17
ソリューション センター	17
リファレンス	17

Vivado Design Suite の概要

Vivado Design Suite とは

Vivado Design Suite は、デザインの生産性を改善するためのツールです。ザイリンクスのすべてのプログラマブルデバイスの 28nm ファミリのデザインを設計、統合、インプリメントし、全体的な生産性を増加させるために構築されています。28nm を使用することで、ザイリンクス デバイスはより大規模になり、スタックド シリコン インターコネクト テクノロジ、最大 28GB の高速 I/O インターフェイス、マイクロプロセッサおよびペリフェラル、アナログ ミックスド シグナルなどのさまざまな新技術を含めるようになりました。このようにデバイスが大規模で複雑になるにつれ、デザインは多次元になるため、タイムトゥ マーケットが遅くなり、生産性を高めにくくなります。

Vivado Design Suite は、既存の ISE Design Suite に代わる新しいツールです。Project Navigator、Xilinx Synthesis Technology (XST)、インプリメンテーション、CORE Generator™、Timing Constraints Editor、ISE Simulator (ISim)、ChipScope™ Analyzer、Xilinx Power Analyzer、FPGA Editor、PlanAhead™ デザイン ツール、SmartXplorer などのすべての ISE Design Suite ツールの代わりに使用できます。これらの機能はすべて、共有の拡張型データ モデルを使用して、Vivado IDE (Integrated Design Environment) に直接組み込まれています。

Vivado Design Suite を使用すると、高位合成および配置配線を使用したインプリメンテーションでデザインを作成することで、タイミング、混雑、ワイヤ長合計、使用量および消費電力などの複数の同時に発生するデザイン要素が分析的に最適化されます。Vivado Design Suite は拡張型データ モデルを基に構築されているので、中間ファイル形式に書き込んだり変換したりせずにメモリで実行できるので、ランタイム、デバッグおよびインプリメンテーションが速くなり、メモリ要件が削減されます。Vivado Design Suite では、早い段階でデザインおよびツール設定を修正できるため、スケジュール全体への影響が少なくなり、繰り返し作業も減り、生産性も向上します。

Vivado Design Suite ツールは、Tcl インターフェイスを使用して記述されています。Vivado IDE (グラフィカル ユーザー インターフェイス) で使用可能なコマンドおよびオプションはすべて Tcl で実行できます。Vivado Design Suite では、バッチ モードと IDE モードの両方に同じ機能があります。また、ツール コマンドおよびオプションだけでなく、レポートされるデザイン データおよびコンフィギュレーションも確認しやすくなっています。

Vivado Design Suite は、次のいずれかの方法で使用できます。

- Vivado IDE での GUI ベースのコマンド
- Vivado IDE の Tcl コンソール、Vivado IDE 以外の Tcl シェルに入力される Tcl コマンド、または IDE か Tcl シェルのいずれかで実行される Tcl スクリプト ファイルに保存される Tcl コマンド
- GUI ベースと Tcl コマンドの混合

Tcl スクリプトには、デザインの合成/インプリメンテーション フロー全体に適用される Tcl コマンドを含めることができます。これには、デザイン解析用に生成される必要なレポートすべても含まれます。

Vivado IDE の概要

Vivado IDE (Integrated Design Environment) とは、グラフィカル ユーザー インターフェイス (GUI) のことで、ISE Design Suite 10.1 から含まれるようになった PlanAhead ツールの進化したものです。ISE Design Suite 14.2/2012.2 リリースか

らは、PlanAhead と Vivado の 2 つの実行ファイルが含まれるようになりました。

- **PlanAhead デザイン解析ツール** : PlanAhead ツールは ISE Design Suite に組み込まれ、ISE ソフトウェアを使用したデザインに特有の機能のみが含まれるようになりました。
- **Vivado Design Suite** : Vivado Design Suite 実行ファイルは、Vivado Design Suite および 7 シリーズ デバイスを使用したデザインに特有の機能を含む Vivado IDE を起動します。ISE Design Suite フローは、PlanAhead デザイン ツール環境およびフレームワークを使用した新しい Vivado Design Suite に置き換わっています。

Vivado IDE のわかりやすいインターフェイスは、新規ユーザー向けに設計されていますが、アドバンス ユーザーが詳細な設定ができるようにも設計されています。すべてのツールおよびツール オプションは Tcl で記述されています。Tcl コマンドは、IDE の Tcl コマンドか Tcl スクリプトを使用して入力できます。解析および制約の割り当ては、デザインプロセスのどの段階でも実行できます。たとえば、タイミングまたは消費電力の概算を合成、配置、または配線後に出すことができます。データベースは Tcl を使用してアクセスできるので、制約、デザイン コンフィギュレーション、またはツール設定は、ほとんどの場合インプリメンテーションし直さなくてもリアルタイムに変更できます。

Vivado IDE では、メモリでデザインを開くというコンセプトを導入しています。デザインを効率的に開くことで、デザイン ネットリストがデザイン フローの特定段階で読み込まれ、制約がデザインに割り当てられ、デザインがターゲット デバイスに適用されます。これにより、各段階でデザインを視覚化して処理できます。これは多くの設計者にとって新しいコンセプトとなります。Vivado IDE では、レジスタ転送レベル (RTL) のエラボレーション、合成、およびインプリメンテーション後にデザインを開くことができます。変更は、制約、ロジックまたはデバイス コンフィギュレーション、およびインプリメンテーション結果に加えることができます。デザイン チェックポイントを使用して、デザインの現在の状態を保存できます。

Vivado IDE の詳細は、『Vivado Design Suite ユーザー ガイド : Vivado IDE の使用』(UG893) を参照してください。

Vivado Design Suite のアドバンス機能

業界標準に基づいたデザイン

Vivado Design Suite では、次の業界標準がサポートされます。

- Tcl
- AXI4、IP-XACT
- Synopsys Design Constraints (SDC)
- Verilog、VHDL、System Verilog
- System C、C、C++

ソリューション全体は Tcl ベースで、SDC および XDC (ザイリンクスデザイン制約) フォーマットがサポートされます。合成で Verilog、VHDL、および SystemVerilog がサポートされるので、FPGA が採用しやすくなっています。Vivado 高位合成 (HLS) が可能なので、C、C++、または System C 言語を使用してロジックを定義できます。AXI4 および IP-XACT などの標準 IP インターコネクト プロトコルを使用すると、システムレベルのデザインがより速く簡単に統合できます。これらの業界標準がサポートされることにより、EDA エコシステムで Vivado Design Suite がさらにサポート可能にもなります。Vivado Design Suite には多くのサードパーティ ツールが統合されています。

IP デザインとシステム レベル デザインの統合

Vivado Design Suite には、IP をコンフィギュレーション、インプリメント、検証および統合する環境が提供されています。IP はスタンドアロン モジュールとして、またはシステム レベル デザインの一部としてコンフィギュレーションおよび検証できます。IP には、ロジック、エンベデッド プロセッサ、DSP モジュールまたは C ベースの DSP アルゴリズム デザインを含めることができます。カスタム IP は IP-XACT プロトコルにしたがってパッケージされ、IP カタログから使用できます。IP カタログからは、IP に素早くアクセスでき、コンフィギュレーション、インスタンスエー

ション、検証できます。ザイリンクス IP では AXI4 インターコネクト標準が使用され、より高速なシステムレベルの統合ができるようになっています。既存の IP は、RTL またはネットリストのどちらかの形式のデザインで使用できます。Vivado IDE では、古いバージョンの CORE Generator™ ツールを使用して生成された ISE Design Suite IP コア (.xco ファイル) を使用できます。

Vivado Design Suite は、ザイリンクスの System Generator ツールと統合されており、DSP ファンクションをインプリメントするためのソリューションを提供しています。DSP モジュールは、Vivado IDE に統合され、管理されます。編集する DSP ソースを選択すると、System Generator が自動的に起動します。System Generator をスタンドアロン ツールとして使用し、その結果の出力ファイルを Vivado IDE のソース ファイルとして使用することもできます。

Vivado Design Suite は Xilinx Platform Studio (XPS) と統合されており、マイクロプロセッサ コアをコンフィギュレーションおよび管理できます。コアは、Vivado IDE に統合され、管理されます。編集する XPS ソースを選択すると、XPS ツールが自動的に起動します。XPS をスタンドアロン ツールとして実行し、その結果の出力ファイルを Vivado IDE のソース ファイルとして使用することもできます。

Vivado Design Suite は、Vivado HLS と統合されており、C ベースの DSP ファンクションをインプリメントするためのソリューションを提供しています。Vivado HLS からの RTL 出力は Vivado IDE で RTL ソース ファイルとして使用できます。RTL 出力は、Vivado IP パッケージャーで IP-XACT 準拠の IP にパッケージされてから、IP カタログで使用できるようになります。Vivado HLS モジュールは、DSP モジュールを準備するために System Generator でも使用できます。

IP パッケージャーは、カスタムのザイリンクス IP コンフィギュレーション、サードパーティ、またはユーザー IP をパッケージするために使用できます。この後、パッケージされた IP を IP カタログに表示できます。

詳細は、『Vivado Design Suite ユーザー ガイド : IP を使用した設計』(UG896) を参照してください。

RTL またはネットリストからビットストリームまでのデザイン フロー

Vivado Design Suite には、次の Vivado IDE 機能が含まれます。

- Vivado 合成
- Vivado インプリメンテーション
- Vivado タイミング解析
- Vivado 消費電力解析
- ビットストリーム生成

これらのツールは、集積度が高いデザインのパフォーマンスの増加、ランタイムの削減のために設計されています。Vivado 合成およびインプリメンテーション機能は、タイミングドリブンで SDC または XDC 形式の制約を使用します。デザインプロセスの各段階で、さまざまなレポートおよび解析機能が使用できます。Tcl シェルまたは IDE の Tcl コンソールに Tcl コマンドを入力して Tcl バッチ スクリプトを使用するか、Vivado IDE を使用すると、フロー全体を実行できます。デザイン結果を改善するには、複数の run を作成してさまざまな合成またはインプリメンテーションオプション、タイミングおよび物理制約、またはデザイン コンフィギュレーションを試してみます。

Vivado IDE は、デザイン プロジェクトを使用して、デザイン プロセス全体をコンフィギュレーションおよび管理します。ソース、デザイン コンフィギュレーションおよび run の結果は、Vivado IDE プロジェクト内に保存され、管理されます。デザイン ステータスにより、ソース ファイルがアップデートされた場合や run 結果が古い場合など、ステータスの変更がわかります。標準的なレポートのセット、ツールのメッセージ、ログのほか、カスタム レポートを作成する Tcl シェルまたは Tcl コンソールもプロジェクト内に含まれます。インプリメンテーションでは、Vivado 消費電力最適化、Vivado 物理最適化、およびツールのエフォート レベルなど、デザイン クロージャを達成するためのアドバンス オプションが使用できます。詳細は、『Vivado Design Suite ユーザー ガイド : 合成』(UG901) および『Vivado Design Suite ユーザー ガイド : インプリメンテーション』(UG904) を参照してください。

デザイン解析および検証

Vivado IDE では、デザインプロセスの各段階でデザインを解析、検証、変更できます。回路のパフォーマンスは、デザインプロセスで中間結果を解析すると改善できます。この解析は、RTL エラボレーション、合成、およびインプリメンテーションの後に実行できます。

Vivado IDE に統合されている Vivado シミュレータを使用すると、デザインの各段階でビヘイビアおよび構造ロジックシミュレーションを実行できます。このシミュレータでは、混合モードのシミュレーションがサポートされ、結果が解析波形に表示されます。サードパーティシミュレータを使用することもできます。詳細は、『Vivado Design Suite ユーザーガイド：ロジックシミュレーション』(UG900)を参照してください。

結果は、Vivado IDE のデザインプロセスの各段階でインタラクティブに解析できます。デザインおよび解析機能には、タイミング解析、消費電力概算および解析、デバイス使用量統計、デザインルールチェック (DRC)、I/O ピン配置、フロアプラン、インタラクティブな配置配線解析、ECO (Engineering Change Order) を含むものもあります。詳細は、『Vivado Design Suite ユーザーガイド：デザイン解析およびクロージャテクニック』(UG906)を参照してください。

インプリメントをすると、Vivado IDE 内でデバイスをプログラムおよび解析できます。デバッグ信号は簡単に識別でき、フロー全体でプロセスされます。デバッグ コアはコンフィギュレーションして RTL または合成済みネットリストのいずれかに挿入できます。Vivado ロジック アナライザーを使用すると、ハードウェア検証もできます。このインターフェイスには、Vivado シミュレータと同じ共通の波形ビューアーが使用されます。詳細は、『Vivado Design Suite ユーザーガイド：プログラムおよびデバッグ』(UG908)を参照してください。

I/O ピン配置およびフロアプラン

Vivado IDE には I/O ピン配置環境が含まれており、デバイス パッケージ ピンまたは内部ダイパッドに I/O ポートを正しく割り当てることができます。Vivado ピン配置ツールに表示されるビューおよび表を使用すると、デザイン パッケージおよび I/O データを解析できます。詳細は、『Vivado Design Suite ユーザーガイド：I/O およびクロックの配置』(UG899)を参照してください。

Vivado IDE には、インプリメンテーション結果の改善に役立つアドバンス フロアプラン機能が提供されています。これには、特定エリア内に指定したロジックを強制的に使用したり、特定の配置または配線を次の run のためにインタラクティブにロックしたりする機能が含まれます。詳細は、『Vivado Design Suite ユーザーガイド：デザイン解析およびクロージャテクニック』(UG906)を参照してください。

Vivado Design Suite へのデザインの移行

概要

ISE® Design Suite は、ザイリンクス デバイスのすべてのジェネレーションに対する業界がみとめたソリューションで、7 シリーズおよびザイリンクス Zynq™-7000 デバイスをターゲットにするプロジェクトのデザイン フローにも対応しています。ISE Design Suite 14.2 には、アップデートされたデバイス サポートも含まれます。

Vivado Design Suite™ は、Virtex®-7、Kintex™-7、Artix™-7 などの 7 シリーズ デバイスをサポートし、特に高集積の混雑したデザインで優れたツール パフォーマンスを発揮します。

ISE Design Suite および Vivado Design Suite のどちらでも 7 シリーズ デバイスがサポートされるので、Vivado Design Suite へ移行する時間は十分にあります。



推奨 : Kintex K410 またはそれより集積度の高いデバイス用に新規デザインを開始する場合は、Vivado Design Suite を使用するべきかどうか、最寄りのフィールド アプリケーション エンジニア (FAE) までお尋ねください。

移行時の注意事項 :

- **IP** : 既存の ISE Design Suite プロジェクトおよび IP は Vivado Design Suite プロジェクトおよび IP に移行できません。Vivado Design Suite では、インプリメンテーション中に ISE Design Suite の IP を使用できます。
- **ソース ファイル** : 既存の ISE Design Suite プロジェクトから新しい Vivado Design Suite プロジェクトには、回路図 (SCH) および Architecture Wizard (XAW) ソース ファイルを除き、すべてのソース ファイルを追加できます。たとえば、CORE Generator™ ツールのプロジェクト ファイル (.xco) およびネットリスト ファイル (.ngc) はデザイン ソースとして追加できます。
- **run 結果** : run 結果は移行されませんが、ツールでデザインをインプリメントすると生成されます。
- **制約** : デザインまたは IP で使用されたユーザー制約ファイル (UCF) は、Vivado Design Suite で使用するためにはザイリンクス デザイン制約 (XDC) フォーマットに変換する必要があります。Vivado IDE の詳細は、『Vivado Design Suite ユーザー ガイド : 制約の使用』(UG903)を参照してください。



注意 : デザイン制約およびスクリプトは環境間で互換性がないので、現在 ISE Design Suite プロジェクトを操作中の場合は、Vivado Design Suite へは移行しないようにしてください。

デザイン移行に関する詳細は、『Vivado Design Suite 移行手法ガイド』(UG911)を参照してください。

Vivado Design Suite の開始

Vivado Design Suite のインストール

ザイリンクス ウェブサイトのダウンロード センターからは、ISE® Design Suite 14.2 と Vivado™ Design Suite 2012.2 の両方をインストールできます。®



重要： Vivado Design Suite 2012.2 は、保証期間内であれば、すべての ISE Design Suite カスタマーが無料で使用できます。

2012.2 リリースから、現在保証期間内の ISE Design Suite のシート数分の Vivado Design Suite のライセンスが使用できるようになっています。2012 年 2 月以降にバージョン 13 または 14 用に ISE Design Suite ライセンスを生成した場合は、現在のライセンスで Vivado Design Suite が使用できます。保証期間内であっても 2012 年 2 月以前にライセンスを生成した場合は、ライセンスを再生成しないと Vivado Design Suite は使用できません。

詳細なインストール、ライセンスおよびリリース情報については、次の資料を参照してください。

- 『ザイリンクス デザイン ツール：インストールおよびライセンス ガイド』(UG798)
- 『ザイリンクス デザイン ツール：リリース ノート ガイド』(UG631)

注記： Vivado Design Suite 2012.2 リリースには WebPACK™ バージョンはありません。

Vivado IDE の起動

インストールが終了したら、グラフィカル ユーザー インターフェイスである Vivado IDE (Integrated Design Environment) を起動し、デザインのプロジェクトを作成します。

Windows

Windows でツールを起動するには

[スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [Vivado 2012.2] をクリックします。

注記： または、デスクトップの Vivado IDE のショートカットをダブルクリックします。



図 3-1 : Vivado 2012.2 デスクトップ アイコン

Linux

Linux でツールを起動するには、コマンド プロンプトに次のコマンドを入力します。

```
# vivado
```

注記：ヘルプが必要な場合は、「#vivado -help」と入力します。



推奨： Vivado IDE は作業ディレクトリから起動してください。これにより、起動ディレクトリに書き込まれるプロジェクトファイル、ログファイル、ジャーナルファイルがを見つけやすくなります。

Vivado IDE の詳細は、『Vivado Design Suite ユーザー ガイド：Vivado IDE の使用』(UG893) を参照してください。

Vivado IDE の使用開始

Vivado IDE を起動すると、さまざまなリンクを含む Getting Started ページが表示されます。このページからは、次が実行できます。

- プロジェクトの開始
- 資料およびビデオの確認

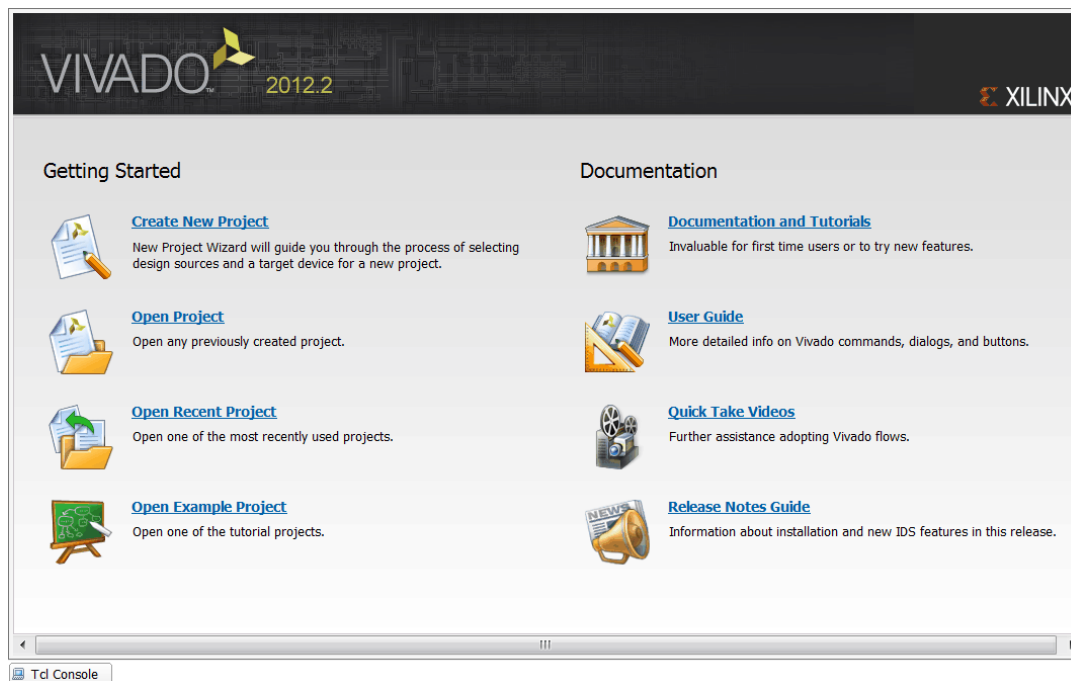


図 3-2 : Getting Started ページ

プロジェクトの開始

プロジェクトを作成または開き、ソース ファイルを追加してデザインを定義します。Getting Started ページには、次のステップに簡単にアクセスできるリンクが表示されます。

- プロジェクトを作成

- サンプルプロジェクトを開く
- 既存プロジェクトを開く

プロジェクトを使用する場合、「プロジェクト モード」で動作することになります。これは、ツールがデザインを自動的に管理し、デザイン ファイルのステータスを記録することを意味します。定義済みのデザイン フロー ステップを起動すると、レポート結果を確認できます。

- デザイン入力に関する詳細は、『Vivado Design Suite ユーザー ガイド : システム レベル デザイン入力』(UG895) を参照してください。
- デザイン フローの次の手順については、『Vivado Design Suite ユーザー ガイド : デザイン フローの概要』(UG892) を参照してください。

資料およびビデオの確認

Getting Started ページでユーザー ガイド、ビデオ、リリース ノートなどのリンクをクリックすると、Documentation Navigator でそれらの資料が開きます。

Documentation Navigator および Vivado Design Suite の資料の詳細は、「[Vivado Design Suite の情報入手](#)」を参照してください。

Tcl の使用 (アドバンス ユーザー用)

Tcl を直接使用する場合は、Tcl コマンドでデザインを処理します。これは、アドバンス ユーザー用の機能で、次が実行できます。

- Vivado IDE の Tcl コンソールまたは IDE 外部の Tcl シェルに各 Tcl コマンドを入力
- Tcl スクリプトを Vivado IDE または Tcl シェルから実行

Tcl および Tcl スクリプトの使用に関する詳細は、『Vivado Design Suite ユーザー ガイド : Tcl スクリプト機能の使用』(UG894) を参照してください。

ツールで Tcl を使用する具体的な手順は、『Vivado Design Suite チュートリアル : デザイン フローの概要』(UG888) を参照してください。

Vivado Design Suite の情報入手

Vivado™ Design Suite の詳細については、本書の付録に記載される資料を参照してください。



推奨: 「ビデオ チュートリアル」 および 「ツール チュートリアル」 の手順に従うと、ツールの使用方法の詳細がわかります。

Xilinx Documentation Navigator

ザイリンクス ツールおよびハードウェア資料は、Documentation Navigator またはザイリンクス ウェブサイトから表示できます。Documentation Navigator は、Vivado Design Suite 2012.2 に統合されているザイリンクス資料およびビデオのカタログです。Vivado IDE (Integrated Design Environment) から開くには、Getting Started ページまたは [Help] メニューの資料のリンクをクリックします。

Documentation Navigator で開くのは英語ファイルですが、Vivado IDE で [Tools] → [Options] をクリックし、[Opening Xilinx Documentation] セクションで [Open with your web browser] をオンにしておくと、日本語資料がある場合はそれがウェブブラウザで開きます。

Documentation Navigator には、次の機能が含まれます。

- フィルター: 資料をタイプ、デバイスまたはその他関連カテゴリ別にフィルターして表示できます。
- 検索: 指定した検索語に基づいて資料を検索できます。ローカル レポジトリとザイリンクス ウェブサイトの両方の資料が検索されます。
- クイック ダウンロード: ローカル デスクトップにザイリンクス資料をダウンロードできます。
- 資料アップデート: ザイリンクス ウェブサイトでの資料のアップデートを監視できます。



推奨: [Update Catalog] をクリックすると、ザイリンクス ウェブサイトの最新の資料カタログに合わせてアップデートされるので、最新の資料およびビデオが入手できます。

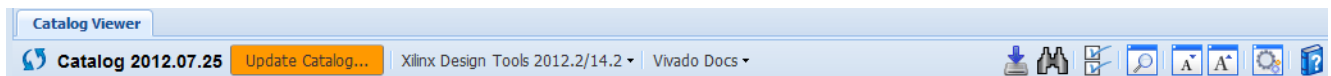


図 4-1: Documentation Navigator の [Update Catalog] ボタン

ビデオ チュートリアル

Vivado IDE の使用を簡単に説明した短いトレーニング ビデオがあります。このビデオは、特定のデザイン タスクについてそれぞれ説明するものです。ビデオは、Documentation Navigator およびザイリンクス ウェブサイトから表示できます。

ツール チュートリアル

Vivado IDE をすぐに使用できるように、さまざまなチュートリアルをご用意しています。チュートリアルでは、小さいサンプル デザインを使用して特定のデザイン タスクを実行する方法が手順ごとに示されます。チュートリアルは、Documentation Navigator およびザイリンクス ウェブサイトから表示できます。

統合資料

- Vivado Design Suite ユーザー ガイド : デザイン タスクごとに必要な情報を簡単に入手できるようにしたガイド シリーズです。
- リファレンス ガイド : Tcl コマンド、制約およびデバイス ライブラリなどのトピック別のリファレンス情報を提供します。
- 手法ガイド : デザインの移行や高集積度デザインのガイダンスなどの特定のデザイン タスクを実行するためのハイレベルなガイダンスを提供します。

XilinxNotify を使用したリリースのインストール

概要

Vivado™ Design Suite では、新しい技術の導入やカスタマーのリクエストに迅速に対応するため、定期的に新規リリースが入手できるようになっています。2012.2 や 2012.3 などのバージョン番号は、リリースを示します。[Help] → [About Vivado] をクリックすると、現在インストールされている Vivado Design Suite のバージョンを確認できます。

- インストールに関する詳細は、『ザイリンクス デザイン ツール：インストールおよびライセンス ガイド』(UG798) を参照してください。
- 新リリースおよびリリース アップデートのダウンロード方法のうちでは、ザイリンクス ウェブサイトのダウンロード センターを参照してください。

デフォルトでは、Vivado Design Suite の起動時にアップデートが確認され、最新のバージョンにアップデートするかどうか尋ねるメッセージが表示されますが、ネットワーク ディレクトリにインストールした場合、インストールに使用したマシンのみでアップデートが自動的にチェックされます。



推奨：最新バージョンのザイリンクス ツールにアップデートすることをお勧めします。

自動的にアップデートされない場合は、次のいずれかを実行します。

- XilinxNotify を使用して手動でアップデートを確認
- [Preferences] ダイアログ ボックスから自動アップデートを再設定

XilinxNotify の実行

アップデートの通知が何らかの理由で表示されなかった場合、次のように XilinxNotify を実行してアップデートを確認します。

- Vivado IDE で [Help] → [Check for Updates] をクリック
- Linux シェルに「xilinxnotify」と入力

次が実行されます。

- ザイリンクス ウェブサイトにリリースされる最新のソフトウェア アップデートとインストールしているソフトウェアのバージョンを比較し、新しいバージョンが見つかった場合は通知します。
- [Download] ボタンをクリックすると、ブラウザが起動し、ザイリンクス ダウンロード センターにログインする画面が表示されます。

ザイリンクス ウェブサイトにログインし、ダウンロードする製品を選択します。



重要: ソフトウェア アップデートをインストールする場合は、\$XILINX インストール ディレクトリに書き込み権が必要です。

[Preferences] ダイアログ ボックスからの自動アップデートの設定

自動アップデートを確認するオプションは、次のように設定します。

1. [Tools] → [Options] をクリックします。
2. [Preferences] ダイアログ ボックスの左側で [General] をクリックします。
3. [General] ページで [Miscellaneous] セクションまでスクロールダウンし、[Automatically check xilinx.com for software updates on startup] をオンにします。
4. [Apply] をクリックします。

これで、ツールを起動するたびに XilinxNotify により自動的にアップデートが確認されます。

その他のリソース

ザイリンクス リソース

アンサー、資料、ダウンロード、フォーラムなどのサポート リソースについては、次のザイリンクス サポート サイトを参照してください。

<http://japan.xilinx.com/support>

ザイリンクス資料で使用する用語集については、次を参照してください。

<http://japan.xilinx.com/company/terms.htm>

ソリューション センター

デバイス、ソフトウェア ツールおよび IP などのサポートについては、[ザイリンクス ソリューション センター](#)を参照してください。トピックには、デザイン アシスタンス、アドバイザリ、トラブルシュート ヒントなどが含まれます。

リファレンス

次の資料は、本書を補足するためのものです。

- Vivado Design Suite 2012.2 資料ページ (http://japan.xilinx.com/support/documentation/dt_vivado_vivado2012-2.htm)
- 『ザイリンクス デザイン ツール：インストールおよびライセンス ガイド』(UG798)
(http://japan.xilinx.com/support/documentation/sw_manuals/xilinx2012_2/iil.pdf)
- 『ザイリンクス デザイン ツール：リリース ノート ガイド』(UG631)
(http://japan.xilinx.com/support/documentation/sw_manuals/xilinx2012_2/irn.pdf)
- ザイリンクス ウェブサイトのダウンロード センター (<http://japan.xilinx.com/support/download/index.htm>)