

ザイリンクス デザイン ツール: リリース ノート ガイド

UG631 (v2012.3、v14.3) 2012 年 10 月 16 日



Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

© Copyright 2012 Xilinx, Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は英語版 (v2012.3、v14.3) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

改訂履歴

次の表に、この文書の改定履歴を示します。

日付	バージョン	改訂内容
2012年5月8日	14.1	初版
2012年7月25日	2012.2、14.2	Vivado Design Suite /ISE Design Suite のデバイスおよびソフトウェア アップデート
2012年10月16日	2012.3、14.3	Vivado Design Suite /ISE Design Suite のデバイスおよびソフトウェア アップデート

第 1 章：ザイリンクス デザイン ツールの新機能

Vivado Design Suite 2012.3	4
ISE Design Suite 14.3	7
Vivado Design Suite 2012.2 を公式リリース	8
Vivado Design Suite 2012.2 の新機能	10
ISE Design Suite 14.2	14
ISE Design Suite 14.1	15

第 2 章：重要なリリース情報

Vivado Design Suite 2012.3	22
Vivado Design Suite 2012.2	23
ISE Design Suite 14.2	26
ISE Design Suite 14.1	28

第 3 章：アーキテクチャ サポートおよびシステム要件

オペレーティング システム	29
アーキテクチャ	29
互換性のあるサードパーティ ツール	31
システム要件	31

第 4 章：テクニカル サポートおよび資料

既知の問題	35
サポート サイト	35
カスタマー トレーニング	35
資料	36

ザイリンクス デザイン ツールの新機能

Vivado Design Suite 2012.3

デバイス サポート

- 次のデバイスをプロダクションでサポート
 - Kintex™-7 70T、480T、420T、355T、325T (低電圧)、160T (低電圧)、410T
 - Virtex®-7 X485T (低電圧)
- 次のデバイスをエンジニアリング サンプル (GES) でサポート
 - Virtex-7 X690T、X1140T、2000T
- バイト幅ペリフェラル インターフェイス (BPI)
 - ザイリンクス 7 シリーズ FPGA : コア プログラム速度を 2012.2 と比較して約 3 倍向上
- GTXE2 高速シミュレーション モデルにより、現在のモデルと比較して 5 ~ 6 倍スピードアップ

マルチコア プロセッサでのランタイム

- デュアルコア プロセッサ ワークステーションでランタイムを 1.3 倍向上
- クワッドコア プロセッサ ワークステーションでランタイムを 1.6 倍向上

デザイン再利用

- デザイン再利用フローを公式に導入
 - スタンドアロン モジュール インプリメンテーションにより、サブモジュールを最上位とは別に配置配線できます。デザイン全体をインプリメンテーションせずに、モジュールのインプリメンテーションをすばやく解析できます。
 - コンテキストの違うモジュールを再利用することも可能でありサポートされていますが、最良の結果を得るにはインターフェイス制約をユーザーが指定する必要があります。
 - 詳細は、[『Vivado Design Suite ユーザーガイド : 階層デザイン: デザインの再利用』\(UG905\)](#) を参照してください。

Vivado 消費電力最適化

配置の前後に消費電力最適化をイネーブルにできるようになりました。配置後のオプションは、タイミングを保持しながら消費電力を最小限に抑えます。

Vivado 統合設計環境

- Vivado™ シミュレータおよび ModelSim で合成後およびインプリメンテーション後の論理シミュレーションを実行可能
- ModelSim で合成後およびインプリメンテーション後のタイミング シミュレーションを実行可能
- Getting Started ページから IP カタログに直接アクセス可能
- ソフトウェア開発キット (SDK) を起動可能

Vivado 高位合成

- Vivado 高位合成にブロック レベル I/O プロトコルを追加し、より信頼性の高い AXI4 ハンドシェイクを提供
 - デフォルト プロトコル `ap_ctrl_hs` に、デザインが新しいデータを受信可能であることを示す出力信号 `ap_ready` を追加。この信号は、以前はパイプライン処理されているデザインでのみ作成されていました。
 - 出力信号 `ap_ready` が High になるまで入力信号 `ap_start` を High に保持する必要があります。この時点で、新しいトランザクションを開始するか、トランザクションを終了するかを決定します。
 - パイプライン処理されたブロックのチェーン接続をサポートするブロック レベルのプロトコル `ap_ctrl_chain` を追加
- ISE® Design Suite : DSP Edition および System Edition のライセンスで Zynq デバイスを使用可能。以前は、Vivado HLS スタンドアロン ライセンスが必要でした。
- Vivado HLS の [Export RTL] で評価オプションを使用した場合に自動的に関連のザイリンクス合成ツールを検索
- `hls_math` ライブラリで `sin` および `cos` 関数とそのバリエーションである `sinf`、`cosf`、`sincos`、および `sincosf` をサポート
- C、C++、SystemC コードのコンパイルおよび実行を簡略化
 - グラフィカル ユーザー インターフェイス (GUI) でソース コードをコンパイルして実行するツールバー ボタンを1つに統合
 - 新しい Tcl コマンド `csim_design` を使用してソース コードをコンパイルして実行
- 必要に応じてツールバー ボタンをクリックして C ファイルをインデックス化
 - 未解決定義の警告を修正するためすべてのファイルをチェック
- AXI4 Lite (スレーブ) ポートでメモリ ポートをサポートし、ブロック実行による CPU の制御を向上
 - AXI4 Lite ポートで `auto_restart` モードを指定可能
- デザインを IP としてエクスポートする際に標準メモリ ポートをザイリンクス BRAM ポートに変換
- 特定の変数のリセット動作を制御する `set_directive_reset` コマンドを追加
- `config_rtl` コマンドを改善
 - 有限ステート マシン (FSM) に使用するエンコード タイプが Vivado HLS で自動的に判断されるようにするデフォルト オプション `auto` を追加
 - Vivado HLS で FSM エンコードを選択することによりこのデフォルトを上書き可能
- Vivado HLS GUI の [File] メニューからプロジェクトを ZIP ファイルにアーカイブ可能
 - アーカイブには、任意の場所でプロジェクトを開くのに必要なすべてのファイルが含まれます。

Vivado 合成

- quick エフォート レベルを最適化し、ランタイムを 30% 向上
- デザインを再コンパイルした場合に変更されていないロジックの名前がより一貫したものになるよう修正
- 言語コンパイラを改善
 - SystemVerilog のパラメーター処理を向上
 - すべての言語で論理式の変数選択のサポートを向上
- **synth_design** コマンドにソースが同じロジックであるレジスタが結合されないようにする **-keep_equivalent_register** オプションを追加
- 有限ステート マシン (FSM) の検出を向上
- DSP48D1 ブロックの推論を向上
- クロック ドメインが切り替わる同期エレメントで **ASYNC_REG** をサポート

Vivado インプリメンテーション

- 論理式に基づく LUT を介したクロック伝搬を向上し、**set_clock_sense** 制約の必要性を削除
- **write_xdc** に物理制約のみを書き出すオプションを追加
- IP コアの制約の優先順位を向上
- クロックの相互関係レポートを向上
- IP コアの制約の適用優先順位を向上
- ファンアウトの大きいリセット信号に自動的に **BUFG** を挿入

Vivado IP およびツール フロー

- Artix™-7 FPGA デバイスで IBERT 7 Series GTP をサポート
 - CORE Generator でサポート (ISE ツール)
 - Analyzer で 2D アイ スキャン計測を含む RX マージン解析をサポート
- Virtex-7 FPGA デバイスで IBERT 7 Series GTZ をサポート
 - Vivado でネイティブ サポート (IP カタログおよびインプリメンテーション)
 - Analyzer で 2D アイ スキャン計測を含む RX マージン解析をサポート
- Virtex-7 FPGA デバイスで IBERT 7 シリーズ GTH をサポート
 - GES シリコン :
 - IBERT 7 Series GTH v2.01a
 - ChipScope™ Pro Analyzer v14.3
 - [MGT/BERT Settings] パネル、[Port Settings] パネル、[DRP Settings] パネルをサポート
 - 2D アイ スキャン計測を含む RX マージン解析をサポート
 - 初期 ES シリコン :
 - IBERT 7 Series GTH v2.00a
 - ChipScope Pro Analyzer v14.3
 - [MGT/BERT Settings] パネル、[Port Settings] パネル、[DRP Settings] パネルをサポート
 - RX マージン解析のサポートはなし
- COE および MIF ファイルの処理を向上

ISE Design Suite 14.3

デバイス サポート

- 次のデバイスをプロダクションでサポート
 - Kintex-7 70T、480T、420T、355T、325T (低電圧)、160T (低電圧)、410T
 - Virtex-7 X485T (低電圧)
- Virtex-7 X690T デバイスをエンジニアリング サンプル (GES) でサポート
- シリアルペリフェラル インターフェイス (SPI)
 - Virtex-6 および Spartan®-6 : コアのプログラム速度を 14.1 と比較して約 2.5 倍向上
- バイト幅ペリフェラル インターフェイス (BPI)
 - ザイリンクス 7 シリーズ FPGA : コアプログラム速度を 14.2 と比較して約 3 倍向上

パーシャル リコンフィギュレーション

- パーシャルビットストリームの生成を Zynq デバイスでイネーブル
- パーシャルビットストリームにグローバル セット リセット (GSR) を導入 (Virtex-6 および 7 シリーズ) : リコンフィギュレーション可能なパーティションに RESET_AFTER_RECONFIG 属性を設定することにより、パーシャルリコンフィギュレーション領域で専用グローバル セット/リセットを使用してエレメントを初期化可能

iMPACT

- Zynq デバイスで PS を介した NOR フラッシュの間接プログラム
- PS を介した NOR フラッシュの間接消去、プログラム、リードバック/検証

エラー訂正コード IP

- 新しいエラー訂正コード (ECC) IP (プリプロダクション)
 - ECC Encoder
 - ECC Decoder
 - ECC Encoder/Decoder : 1 つのモジュールにエンコーダーとデコーダーを統合
 - ECC クロック イネーブルおよびレジスタを付けるオプション

Vivado Design Suite 2012.2 を公式リリース

ザイリンクスの新しい IP およびシステム中心の設計環境である Vivado™ Design Suite は、ISE® Design Suite の保証期間中のカスタマーに公式にリリースされました。

Vivado Design Suite をご使用の前に、次の重要な情報をお読みください。

生産性の向上

この新しいツール ソリューションは、拡張され続けているザイリンクス デバイスの設計における生産性を向上するために開発されました。新しいデバイスは集積度が非常に高く、スタックドシリコン インターコネクト (SSI) テクノロジー、高速 I/O インターフェイス、マイクロプロセッサとインターフェイス、アナログ混合信号などのさまざまな新しいテクノロジーが搭載されています。これらのシリコン機能により、システム デザインのより多くの部分を FPGA に組み込むことができるようになりました。そのため、システム デザインの統合や検証が困難になり、異なる設計手法とツールセットが必要となっています。これに加え、新規デバイスの機能も向上しているため、新しいツール ソリューションが必要であることは明らかでした。Vivado Design Suite は、これらの新しい課題に対処するために開発されました。

製品の概要

Vivado Design Suite は、前述の設計課題に対処するために開発された、まったく新しい設計ソリューションです。既存のザイリンクス ISE Design Suite のツールに完全に置き換わるもので、Xilinx Synthesis Technology (XST)、インプリメンテーション ツール (NGDBuild から BitGen まで)、CORE Generator™ システム、Constraints Editor、ISim、ChipScope™ Analyzer、Xilinx Power Analyzer (XPA)、FPGA Editor、PlanAhead™ デザイン ツール、SmartXplorer など、すべての ISE ツールに置き換わります。これらの機能はすべて、共通のデータ モデルおよびユーザー インターフェイスを使用して Vivado 統合設計環境 (IDE) に直接組み込まれています。

Vivado Design Suite では、共通のデータ モデルを利用して、デザインを RTL エラボレーションからビットストリーム生成まで処理します。デザイン プロセス全体をすべてメモリ内で処理でき、中間ファイル フォーマットを保存したり変換したりする必要はありません。この共通のデータ モデルにより、デザイン フローの各段階でより多くの解析機能および制御機能を提供しています。

デザイン プロセス全体を Vivado IDE の Flow Navigator からボタンをクリックするだけで制御でき、また Tcl を使用して手動で制御することも可能です。

高位合成

インプリメンテーションの詳細を考慮することなく、デザインをシミュレーション、解析、および変更できます。MATLAB®/Simulink® または untimed C/C++/System C から開始し、RTL を記述せずに、異なるシステム アーキテクチャを主要なシステム条件に対して評価できます。Vivado System Edition には、Vivado 高位合成 (HLS) および System Generator for DSP が含まれており、RTL より上位でのアルゴリズム開発が可能です。

Vivado HLS (AutoESL ツール テクノロジーに基づく) は、C、C++、SystemC 仕様を、複数のマイクロ アーキテクチャをデザイン要件に対して評価した後、直接 VHDL または Verilog RTL に合成でき、デザイン インプリメンテーションおよび検証にかかる時間を短縮します。論理シミュレーションは C で実行できるので、VHDL または Verilog シミュレーションと比べて非常に高速です。これにより、高質のデザインをより短時間で、より信頼性の高い方法で提供できます。

Vivado Design Suite または ISE Design Suite の選択

ISE Design Suite は、ザイリンクスのプログラマブルデバイスの業界で実績のあるソリューションです。ISE Design Suite は、今後も引き続き提供され、使い慣れたデザイン フローですべてのザイリンクス FPGA および Zynq™-7000 プロジェクトを作成できます。

Vivado Design Suite は、IP およびシステム中心の画期的な開発環境であり、使いやすい IP 中心のデザイン フローを導入し、実行時間を 1/4 まで短縮することにより、統合およびインプリメンテーションを大幅に高速化し、生産性を向上します。Vivado Design Suite 2012.2 では、Virtex®-7、Kintex™-7、および Artix™-7 ファミリを含む 7 シリーズ FPGA がサポートされています。

Vivado Design Suite では、特に大型のデザインで、全体的なツール パフォーマンスが向上しています。設計環境では、Tcl およびザイリンクス デザイン制約 (XDC) を使用した、高度なフローのカスタマイズおよび解析機能が提供されています。Kintex K410 より高集積度のデバイスの新規デザインを開始する場合は、最寄りの販売代理店に連絡し、Vivado Design Suite が適しているかどうかをご相談ください。2 つのツール フローではデザイン制約およびスクリプトに互換性がないので、現在進行中のデザインを移行することはお勧めしません。

ISE Design Suite 保証期間中のカスタマーに 2012 年中無償提供

ISE Design Suite を過去 12 ヶ月の間に購入されている場合は、2012 年中は Vivado Design Suite をご購入いただく必要はありません。Vivado Design Suite は 2012 年中は無償です。現在保証期間中の ISE Design Suite ライセンスをお持ちのカスタマーには、2012.2 リリースから Vivado Design Suite のライセンスが提供されます。

Vivado Design Suite のライセンス

2012 年 2 月 2 日以降に ISE Design Suite バージョン 13 または 14 のライセンスを生成している場合、現在のライセンスが Vivado Design Suite でも機能します。保証期間中で 2012 年 2 月 2 日以前にライセンスを生成している場合は、Vivado Design Suite を使用するにはライセンスを生成し直す必要があります。ライセンスを生成するには、<http://japan.xilinx.com/getlicense> にアクセスしてください。

ISE Design Suite と Vivado Design Suite のエディション

表 1-1: エディションの対応表

生産性の主要な要素	Vivado の機能	ISE Design Suite のライセンス レベル				
		WebPACK™ Tool*	Logic Edition	Embedded Edition	DSP Edition	System Edition
IP の統合とインプリメンテーション	統合設計環境	X	X	X	X	X
検証とデバッグ	Vivado シミュレータ	制限あり	X	X	X	X
	Vivado 論理合成		X	X	X	X
	Vivado シリアル I/O 解析		X	X	X	X
デザイン探索と IP 生成	Vivado 高位合成				X	X
	System Generator for DSP				X	X

* WebPACK デザイン ツールでは、サポートされるデバイスに制限があります。WebPACK ツールでの Vivado のサポートは、2012 年終わり頃に開始する予定です。

Vivado Design Suite と WebPACK デザイン ツール

2012.2 では、Vivado Design Suite は WebPACK ツール ライセンスではサポートされません。WebPACK ツールでの Vivado Design Suite へのアクセスは、2012 年終わり頃を予定しています。

Vivado Design Suite 2012.2 の新機能

デバイス サポート

- 次のデバイスを製品サポート
 - Kintex-7 325T
 - Kintex-7 410T
 - Virtex-7 X485T
- Virtex-7 HT デバイスを制限なしでサポート
- Kintex-7 および Virtex-7 FPGA の -2 スピード グレードでパフォーマンスを約 3.5% 向上
- 7 シリーズ FPGA のパッケージ フライト タイムおよび IBIS モデルをアップデート
- すべての 7 シリーズ FPGA でビットストリームの生成をイネーブル

Vivado 統合設計環境

- Vivado シミュレータを共通の波形ビューアーで統合
- ISE Xilinx Platform Studio (XPS) を統合
- ザイリンクス デザイン制約 (XDC) テンプレートをソース コード エディターに統合
- 制約ファイルの管理を向上
 - 統合設計環境 (IDE) で制約を変更した場合に変更を書き込むターゲット制約ファイルを指定するようメッセージを表示
- メッセージの重要度および詳細度を変更可能
- ユーザー定義の DRG (デザイン ルール チェック) を作成可能
- サードパーティ合成ツールからの Verilog 構造ネットリストフローをサポート
- ダブルバイト文字がサポートされ、パスおよびファイル名に漢字を使用可能

Vivado 高位合成

- 高位合成 (HLS) は、すべての 7 シリーズ FPGA をサポートする Vivado System Edition に含まれます。ISE Design Suite でサポートされるすべてのデバイスをサポートするスタンドアロン ライセンスも提供されていますが、Vivado HLS 機能にアクセスするには、Vivado System Edition がインストールされている必要があります。
- 合成でサポートされる math.h 関数の数を増加
- ストリーミング データを使用するデザインをサポートするため hls::stream データ型を追加
- 合成済み RTL を IP-XACT、Pcore、および System Generator フォーマットでエクスポートでき、RTL を Vivado、EDK、および System Generator に簡単にインポート可能
 - 合成済み RTL を IP-XACT および System Generator フォーマットでエクスポートする機能は、Vivado Design Suite でサポートされる 7 シリーズ FPGA でのみ使用可能
- ザイリンクス WebTalk および TouchPoint 機能を Vivado HLS に統合

Vivado 合成

- 有限ステート マシン (FSM) の最適化をサポート
 - ステートのエンコードをワンホット、シーケンシャル、ジョンソン、およびグレイから選択可能
- BRAM のすべてのモードでバイト イネーブルに対して RAM 推論をサポート
- カスケード接続およびレジスタパックに対して DSP ブロックの推論を可能にし、n 項加算器をサポート
- 合成属性 (MARK_DEBUG を含む) をサポート

Vivado インプリメンテーション

- タイミング レポートのネット遅延に遅延のタイプ (インターコネクタなし、予測値、または抽出された配線ステータス) を表示
- マルチスレッド実行をデフォルトでイネーブル
 - CPU の機能に基づいて、デフォルトで最大 4 個の同時スレッド
 - 必要に応じてユーザーが設定可能
- ネットの配線を固定する指定配線をサポート
- 配置配線のエフォート レベルに基づくストラテジ
- XDC を拡張
 - LUT LOCK_PINS プロパティをサポート
 - UCF FEEDBACK 制約と同等の XDC タイミング制約を追加
- DDR インターフェイスのタイミング レポートをサポートし、すべてのコーナーのタイミング パラメーターおよび最適タップ ポイントを表示
- 新しいレポート コマンド
 - `report_carry_chains`
 - `report_high_fanout_nets`
- ネイティブ ビットストリーム サポート
- 物理合成アルゴリズムを向上
- `set_max_delay -datapathonly` で、`-from` から `-to` の間に組み合わせロジックを許容

Vivado シミュレータ

- ソース コード エディターでブレークポイントをサポート
- ソース コード エディターで値をツール ヒントに表示
- [Scopes] ビューで名前をフィルター表示
- 次の Tcl コマンド サポートを追加
 - 条件の追加
 - `force` コマンド
 - SAIF (Synopsys Activity Interchange Format) の書き出し

Vivado IP パッケージャー

Vivado IP パッケージャーは IP-XACT 規格に基づくデザイン再利用機能で、RTL、ネットリスト デザイン フローのどの段階でも IP をパッケージ化でき、Vivado IP カタログからシステム レベル IP を作成および配置できます。Vivado IP パッケージャーの主な機能は、次のとおりです。

- Vivado 統合設計環境 (IDE) または Tcl を使用した自動スクリプト ベース フローを使用して、Vivado デザイン ツールプロジェクトからデザインを IP としてパッケージ化
- IP の合成、シミュレーション、XDC 制約、HDL テストベンチ、資料、およびサンプル ソースを指定
- IP カスタマイズ インターフェイスを作成し、デバイス ファミリ サポートを指定
- パッケージ化された IP を配布するための ZIP ファイルを作成

Vivado IP カタログ

Vivado Design Suite には拡張可能な IP カタログが含まれており、ザイリンクス、サードパーティ、および設計チーム、部署、企業内で共有可能な IP のリポジトリで、デザインを簡単に再利用できるようにします。Vivado IP カタログの主な機能は、次のとおりです。

- 機能ブロック、ウィザード、コネクティビティ、DSP、エンベデッド、AXI インフラストラクチャ、ビデオ IP などを含むザイリンクス IP すべてに簡単に共通の方法でアクセス
- 共有ネットワーク ドライブなど複数の物理ロケーションをサポートし、サードパーティ IP または企業内で開発された IP に対して一貫した IP 設定環境を利用
- Vivado 統合設計環境 (IDE) または Tcl を使用した自動スクリプト ベース フローを使用して、簡単に IP をカスタマイズおよび生成可能
- インスタンス化テンプレート、シミュレーション モデル (HDL、C、または MATLAB)、HDL サンプル デザインなどをオプションで出力可能
- サンプル デザインが提供されており、Vivado デザイン ツールプロジェクトにインスタンス化して直接 IP を評価可能
- IP をデザインと共にグローバルに RTL 合成し、IP の合成可能な RTL またはビヘイビア シミュレーション モデルをシミュレーションに使用
- `write_verilog` または `write_vhdl` を使用して、カスタマイズされた IP を最上位として処理した Verilog ネットリストを作成し、合成後のバックアノテートされた構造シミュレーション モデルを使用

ザイリンクス Documentation Navigator

最新の資料に確実にアクセスできるようにするため、Documentation Navigator のカタログを毎週アップデートしてください。特に、Documentation Navigator を初めて使用する前にカタログをアップデートすることが重要です。

注記 : 2012 年 8 月 8 日から 9 月 6 日の間に、Vivado Design Suite の新しい資料がリリースされる予定です。

カタログをアップデートするには、次の手順に従います。

1. Vivado IDE で [Help] → [Documentation and Tutorials] をクリックして Documentation Navigator を起動します。
2. Documentation Navigator で [Update Catalog] ツールバー ボタンをクリックします。

Documentation Navigator の詳細は、[Vivado Design Suite 2012.2 資料ページ](#)から『[Vivado Design Suite ユーザー ガイド : 入門](#)』(UG910) を参照してください。

ChipScope Analyzer

- デバッグプローブフロー
 - HDL インスタンス化
 - ネットリストの挿入
 - フロー (IDE プッシュボタン、Tcl、チェックポイント、プロジェクト、非プロジェクト)
- ILA 2.0 コア
 - 機能および使いやすさを向上
 - CONTROL ポートのスレッド化なし (ICON コアなし)
 - レガシ IP (ICON、ILA、VIO 1.x) と互換
 - IP のパラメータ指定および生成の Tcl スクリプト作成
- Vivado 論理合成
 - Vivado IDE に統合
 - シミュレータと同様の機能を含め、波形ビューアーを大幅に向上
 - ランタイム操作の Tcl スクリプト作成

ピン配置

- [I/O Ports] ビューからのポップアップメニューにエクスポート コマンドを追加
- 昇順、降順、および負のビット インデックスのバスをサポート
- [I/O Ports] ビューからのポップアップメニューを拡張

System Generator for DSP

- MATLAB 2012a をサポート
- ブロックセットの向上
 - Floating Point Natural Log
 - Floating/Fixed Point Abs
 - Interleaver/De-interleaver 7.1
- デモおよびサンプルを Kintex-7 デバイスをターゲットとしてアップデート
- Dual Port RAM、ROM、Addressable Shift Register、FIFO、AXL_FIFO、Accumulator、AddSub、Counter、Multiplier、CMult などの基本ブロックの Vivado IP 生成
 - これらのブロックを含むデザインのネットリスト生成を 10 倍高速化
 - System Generator から生成された Vivado プロジェクトからの Vivado IP パラメーター指定を検証可能
- Vivado HLS ブロックの向上点
 - Vivado HLS 統合により C/C++/SystemC ソース ファイルを挿入可能
 - examples/hls_filter に Median Filtering の使用法を示すサンプル ファイルを追加

IP コアの詳細

SMPTE SDI

- 7シリーズ FPGA で SD/HD/3G-SDI 非圧縮シリアル デジタル ビデオ ストリームをサポート
- Verilog のみサポート

コア アップデートの詳細

2012.2 でのコアのアップデートの詳細は、「[Vivado IP カタログ](#)」を参照してください。

ISE Design Suite 14.2

デバイス サポート

- 次のデバイスを製品サポート
 - Kintex-7 325T
 - Kintex-7 410T
 - Virtex-7 X485T
- Kintex-7 および Virtex-7 FPGA の -2 スピード グレードでパフォーマンスを約 3.5% 向上
- Artix-7 FPGA ファミリーでビットストリームの生成をサポート
- Zynq-7000 EPP デバイスにパーシャル リコンフィギュレーション サポートを追加

パーシャル リコンフィギュレーション

- パーシャルビットストリームにフレームごとの CRC チェックを実行可能 (7 シリーズ)

PlanAhead デザイン ツール

- クロック プランナー フライ ライン: デバイスの物理的な接続性がわかりやすいよう、物理デバイス リソースのクロック ツリービューにフライラインを表示

ピン配置

- [I/O Ports] ビューからのポップアップ メニューにエクスポート コマンドを追加
- 差動ペア作成を向上
- 昇順、降順、および負のビット インデックスのバスをサポート
- [I/O Ports] ビューからのポップアップ メニューを拡張
- 表およびツリーにおけるセルの焦点の表示を向上
- SSN レポート、[I/O Port Properties] での編集、[Package] ビューでのポートの表示、[Clock Resources] ビューなど、さまざまなビューを向上
- VCCAUXIO、VCCAUXIOBT、VCCAUXIOSTD の DRC を向上

System Generator for DSP

- MATLAB 2012a をサポート
- ブロックセットの向上
 - Floating Point Natural Log
 - Floating/Fixed Point Abs
 - Interleaver/De-interleaver 7.1
- デモおよびサンプルを Kintex-7 デバイスをターゲットとしてアップデート

IP コアの詳細

GMII から RGMII

- Zynq Gigabit Ethernet Controller にスムーズに接続

SMPTE SDI

- 7 シリーズ FPGA で SD/HD/3G-SDI 非圧縮シリアル デジタル ビデオ ストリームをサポート
- Verilog のみサポート

コア アップデートの詳細

14.2 でのコアのアップデートの詳細は、「[IP CORE Generator](#)」を参照してください。

ISE Design Suite 14.1

デバイス サポート

- 次のデバイス ファミリを制限なしでサポート
 - Zynq™-7000 EPP (ビットストリームの生成を含む)
 - ミリタリ グレードの 7 シリーズ FPGA および Zynq-7000 EPP
 - オートモーティブ XA Zynq-7000 EPP
- Virtex®-7 XT FPGA ファミリでビットストリームの生成をサポート
- Artix™-7 FPGA GTPE2 のサポートを追加
 - ザイリンクスがサポートするすべてのシミュレータ用の SecureIP モデル
 - 7 シリーズ FPGA GT トランシーバー ウィザードでサポート
- 次の Artix-7 デバイスを削除
 - XC7A8
 - XC7A15
 - XC7A30T
 - XC7A50T
- ISE® Design Suite では、ビットストリームを生成する前に、I/O 規格およびピン配置をすべて選択する必要があります。詳細は、[ザイリンクス アンサー 41615](#) を参照してください。

PlanAhead デザイン ツール

ここに記載されている新機能の詳細は、次のサイトから『PlanAhead ユーザー ガイド』を参照してください。
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx14_1/PlanAhead_UserGuide.pdf

一般

- Flow Navigator に、コンパイル フローに必要な各段階をより詳細に表示。各段階 (RTL 解析、合成、インプリメンテーション、プログラムおよびデバッグ) で実行可能なタスク リストを、展開表示したり閉じたりできます。
- [Clock Resources] ビューに、クロックおよび I/O 関連のリソースの接続をフライ ラインを使用して表示
- プロジェクト設定にさらに XPA オプションを追加

ピン配置

- ピン配置プロジェクトを空のネットリストから完全な RTL またはネットリスト ベースのプロジェクトに変換可能。これにより、ピン配置プロジェクトでほかのソース タイプも管理できるようになります。
- Zynq-7000 EPP デバイスでのピン配置をサポート
- ピン配置プロジェクトで差動ペアを推論可能。差動規格の一方が認識されると、もう一方が自動的に作成されます。
- 同時スイッチ ノイズ (SSN) のレポート エンジンおよび 7 シリーズ FPGA のノイズ予測機能を向上
- デフォルトの I/O 規格の表記を向上

ModelSim および Questa Advanced Simulator の統合

- PlanAhead デザイン ツールのプロジェクト設定で、ModelSim または Questa® Advanced Simulator をシミュレータとして選択できるようになりました。シミュレーションに必要なライブラリのコンパイルには、Tel コマンド `compplib` を使用します。これらのシミュレータの統合は、ISE ツールでの統合と比べ、複数のシミュレーション ファイルセットを使用してそれぞれプロパティを設定できる点が優れています。使用するテストベンチやシミュレーション プロパティが異なる複数のシミュレーション コンフィギュレーションを作成し、管理することが可能です。

エンベデッド開発キット (EDK) の統合

- PlanAhead デザイン ツールで XPS (Xilinx® Platform Studio) サブシステムを `.xmp` ソース タイプとして作成し、プロジェクトに追加できるようになりました。`.xmp` ソース タイプをダブルクリックすると XPS が起動し、エンベデッド サブシステムを生成およびカスタマイズできます。
- `.xmp` ソース を含む ISE ツールプロジェクト (`.xise`) を PlanAhead デザイン ツールプロジェクトにインポートすることも可能です。XPS で生成されたファイルは、合成およびインプリメンテーション フローで適切に管理されます。

System Generator for DSP の統合

- PlanAhead デザイン ツールで DSP サブシステムを `.sgp` ソース タイプとして作成し、プロジェクトに追加できるようになりました。`.sgp` ソース タイプをダブルクリックすると The MathWorks Simulink® が起動し、DSP サブシステムを生成およびカスタマイズできます。
- `.sgp` ソース を含む ISE ツールプロジェクト (`.xise`) を PlanAhead デザイン ツールプロジェクトにインポートすることも可能です。DSP ツールで生成されたファイルは、合成およびインプリメンテーション フローで適切に管理されます。

IP リポジトリ

- PlanAhead デザイン ツールで、デザインを作成せずに IP リポジトリを使用できるようになりました。空のプロジェクトを作成し、IP リポジトリを開いて IP コアを検索、生成、コンフィギュレーションできます。サンプルデザイン、制約ファイル、データシートなどの生成されたソースは、[Sources] ビューの [IP Sources] タブに表示されます。
- IEEE P1735 暗号化規格をサポート

Run 構造

- run のステートを強制的にアップデート済みに変更可能
- 物理制約をアップデートしても合成 run のステートがアップデート必要にならないよう修正
- ISE ツール (NGDBuild、MAP、PAR、TRACE) の中間ステートまで実行する次のステップ オプションを導入
- プロジェクト設定の run オプションに BitGen オプションを統合
- フローでオプションの手順をサポートし、run フローの 2 つの段階の間で Tcl スクリプトを起動するメカニズムを追加。コンパイル段階の間で実行される Tcl スクリプトを指定し、カスタムの回避策またはレポート目的で使用できます。

プロジェクト構造

- すべてのメッセージが共通のメッセージ マネージャーに統合され、[Messages] ビューで参照可能
- 新しい Tcl コマンド `reset_param` および `reset_property` でパラメーターおよびプロパティをリセット可能。これらのコマンドは、プロパティおよびパラメーターの値をデフォルト値 (該当する場合はターゲット デバイスのデフォルト値) にリセットします。
- 一部の無効な UCF メッセージを RTL エラボレーションでディスエーブル
- RTL ネットリストの UCF を解析する際に誤ってレポートされていたエラーおよびクリティカル警告の条件を向上
- RTL でのインクルード ファイルのサポートを向上

エンベデッド デザイン ツール

エンベデッド デザインでの主な改善点は、次のとおりです。

- Bare Metal および Linux ベースの製品開発で Zynq-7000 EPP をサポート
- MicroBlaze プロセッサのアップデート
 - パフォーマンスを向上
 - エンディアンネスを変換する新しい命令
 - あらかじめ統合された I/O モジュール
 - 改ざん検出および単一イベント アップセット検出用のマルチプロセッサのロックステップ/結果多数決
 - 追加デバイス サポート
- システム パフォーマンス、コンフィギュレーション、および有用性を向上するため IP をアップデート
- XPS および SDK をアップデート

Zynq-7000 EPP サポート

- 14.1 ISE WebPACK™ デザイン ツールで Zynq-7000 EPP の Z7010、Z7020、Z7030 パーツをサポート。WebPACK デザイン ツールには、Embedded Edition と同じ XPS、SDK、MicroBlaze プロセッサ、エンベデッド IP ライブラリがすべて含まれています。
- XPS に Zynq-7000 EPP 専用の新しいコンフィギュレーションおよび MIO サマリ ウィンドウを追加 (詳細は「エンベデッド ツール」セクションを参照)
- Zynq-7000 EPP の資料にザイリンクス ウェブサイト (<http://japan.xilinx.com/support>) および Documentation Navigator ツールから参照可能

MicroBlaze プロセッサのアップデート

低レイテンシ割り込みモード

- コントローラーから直接割り込みベクターを供給することにより、レイテンシ応答をシステム デザインによっては 1/10 に削減

スワップ命令

- バイトおよびハーフワードをスワップする新しい命令により、AXI ビッグ エンディアンと AXI リトル エンディアンの変換をサポート

追加デバイス サポート

- 7 シリーズ FPGA ファミリー全体で MicroBlaze プロセッサを検証済み

システム キャッシュ

- Embedded Edition に、AXI ベースのシステムで MicroBlaze プロセッサと外部メモリ コントローラーの間に使用する新しいエンベデッド システム キャッシュ IP ペリフェラルを追加。MicroBlaze プロセッサはこのシステム IP キャッシュ コアをレベル 2 キャッシュとして使用し、システムのさまざまな要素、デザイン タイプ、接続ポイントによってはレイテンシが削減され、パフォーマンスが高速になります。

I/O モジュール

- MicroBlaze プロセッサのデータ側 LMB バス用に、汎用エンベデッド プロセッサ ペリフェラルを 1 つの IP ブロックとしてまとめたコンフィギュラブルなコレクションを導入。これにより、標準的なマイクロコントローラー システムの定義、コンフィギュレーション、配置が簡略化され、MicroBlaze プロセッサ MCS デザインを Logic Edition から Embedded Edition にスムーズに移行できます。

エンベデッド IP のアップデート

14.1 には、AXI、Zynq-7000 EPP、および MicroBlaze プロセッサのサポートを向上するための IP コアの改善点および新機能が含まれています。

- AXI Quad SPI : XIP (Execute In Place) モードをサポート、パフォーマンスを向上するためアーキテクチャを改善。この IP コアは既存のカスタマーをサポートするため、レガシ モードもデフォルト オプションで機能します。
- AXI Performance Monitor : システムの特定のマスター/スレーブ (AXI4、AXI4-Lite、AXI4-Stream) のバス レイテンシ、特定期間のメモリ トラフィック量、その他のパフォーマンス基準を計測
- Processing System7 : PS と PL の間の Zynq-7000 EPP ロジック接続のラッパー IP で、カスタムまたはその他の EDK IP の追加を支援
- AXI System Cache : MicroBlaze プロセッサ用のレベル 2 キャッシュ モジュールで、MicroBlaze プロセッサと外部メモリ コントローラーの間に使用
- Embedded IO Module : 共通 I/O ペリフェラルのサブセットで、MicroBlaze プロセッサ MCS で導入されており、互換性のため Embedded Edition に移植

エンベデッド ツール

ISE Design Suite 14.1 では、PlanAhead デザイン ツールでエンベデッド デザインのキャプチャおよび管理がサポートされます。エンベデッド デザイン フローには PlanAhead の使用が推奨されます。

XPS の新機能

14.1 では、コンフィギュレーションおよび SDK での第 1 ステージ ブート ロード ーの生成用に Zynq-7000 EPP 特定のツールを提供するため、XPS が拡張されています。

- 新しい Zynq-7000 EPP プロセッシング システムにより、メモリ、クロック、ペリフェラル、DMA、I/O、割り込み、およびフラッシュ インターフェイス用のさまざまなコンフィギュレーション オプションを提供。XPS に新しいコンフィギュレーション ウィンドウが追加されており、各パラメーターをグラフィカルに設定でき、確実な配線が得られ、電圧およびクロックに適した自動選択が可能です。
- 標準 Zynq-7000 EPP コンフィギュレーション (ZC702 ボード用) が含まれており、すぐに使用可能
- 新しい Zynq-7000 EPP MIO サマリ ウィンドウに、ペリフェラルのピン配置が色付きのグラフィックで表示され、すばやく簡単に正しい MIO 選択が可能

SDK の新機能

- ザイリンクス SDK を無償で提供 (FlexLM ライセンス チェックを削除)。SDK はザイリンクス ウェブサイトから入手可能なスタンドアロン インストーラーまたは各 ISE デザイン ツール エディションのインストーラーでインストールできます。
- Zynq-7000 EPP を完全サポート
 - SDK で Bare Metal および Linux アプリケーションの開発、プロファイリング用のツール ソリューションを提供。BARE Metal (EABI) および Linux 開発用にアップデートされた ARM GCC、Boot Image Creator、QSPI 用フラッシュ プログラム、デバイス ツリー ジェネレーター、リモート システム エクスプローラー (IP が接続されたターゲット ボードをデバッグ) などが含まれます。
 - SDK を XPS と共に使用して、デバイス セキュリティ対策を含む第 1 ステージ ブート ロード ー、ビットストリーム管理などを含むデザイン特定のファームウェアを構築可能。Zynq-7000 EPP ターゲット プラットフォームに完全なブート可能システム イメージを構築することもできます。

ChipScope Pro ツールおよび iMPACT

- Zynq-7000 EPP
 - iMPACT で間接クワッド SPI フラッシュ プログラムをサポート
 - ChipScope Pro ツールでデバイスのプログラムおよびデバッグをサポート
 - iMPACT で基本およびアドバンス プログラムをサポート
- Virtex-7 FPGA
 - IBERT 2-D アイ スキャンを向上
 - 7 シリーズ FPGA GTH をサポート
 - ChipScope Pro ツールでデバイスのプログラムおよびデバッグをサポート
 - iMPACT で基本およびアドバンス プログラムをサポート
- Kintex-7 FPGA
 - IBERT 2-D アイ スキャンを向上
 - ChipScope Pro ツールでデバイスのプログラムおよびデバッグをサポート
 - iMPACT で基本およびアドバンス プログラムをサポート
- Artix-7 FPGA
 - CCORE Generator ツールおよび Inserter をサポート

- ChipScope Pro ツールの AXI モニターで EDK および標準 CORE Generator ツール フローをサポート

System Generator for DSP

- ミリタリ グレード 7 シリーズ FPGA およびオートモーティブ XA Zynq-7000 EPP ファミリのサポートを追加
- PlanAhead デザイン ツールに統合
 - System Generator モジュールを大型 RTL デザインに統合可能
 - チュートリアルを提供
- [Performance Tips] ツールバー ボタンをクリックして高パフォーマンス デザインの資料にアクセス
- ブロックセットを改善し、BRAM コンフィギュレーションのエンベデッド レジスタの FIFO サポートを追加

IBIS シミュレーション

- 7 シリーズ FPGA の IBIS サポートは、PlanAhead デザイン ツールの write_ibis コマンドでのみ提供
 - IBISWriter は 7 シリーズ FPGA ファミリーでは使用不可

パーシャル リコンフィギュレーション

- XC7VX980T、XC7A200T、および XC7A350T のサポートを追加
 - Artix-7 デバイスのビットストリーム生成は 14.1 ではディスエーブル
- スタティックのみであるべきリソースのリストに I/O およびコンフィギュレーション コンポーネントを追加

IP (Intellectual Property)

デバイス サポート

- 次のファミリを製品版前 (pre-production) ステータスでサポート
 - ミリタリ グレード Virtex-7Q FPGA
 - ミリタリ グレード Kintex-7Q FPGA
 - ミリタリ グレード Artix-7Q FPGA
 - XA Artix-7 FPGA
 - XA Zynq-7000 EPP

新規 IP コア

- SMPTE 2022 5/6 Video over IP v1.0 : ブロードキャスト接続性規格 (SD/HD/3G) と 10G ネットワーク間をブリッジする必要のあるブロードキャスト アプリケーション用のトランスミッターおよびレシーバー コアを提供
- Ten Gigabit Ethernet 10GBASE-KR : 7 シリーズ FPGA GTX および GTH トランシーバー用のフォワード エラー訂正 (FEC) およびオート ネゴシエーション (AN) を含む 10G イーサネット PCS/PMA。Ten Gigabit Ethernet PCS/PMA (10GBASE-R/KR) IP コアの別ライセンス コンフィギュレーションとして提供されています。
- Asynchronous Sample Rate Converter for Digital Audio : ステレオ オーディオのサンプリング周波数を変換します。入力と出力のサンプリング周波数は、お互いを分周したものまたは同じ周波数にできますが、異なるクロックに基づきます。
- Video In to AXI4-Stream : 一般的な並列クロック ビデオ信号を AXI4-Stream インターフェイスに変換します。これを使用すると、DVI PHY などの外部ビデオ ソースを AXI4-Stream インターフェイスを使用するザイリンクスビデオ IP などのビデオ処理ブロックに接続できます。

- **AXI4-Stream to Video Out** : AXI4-Stream インターフェイス信号を標準の並列ビデオ出力インターフェイスにタイミング信号と共に変換します。これにより、AXI4-Stream インターフェイスを使用するザイリンクスビデオ IP などのビデオ処理ブロックを DVI PHY などの外部ビデオシンクに接続できます。
- **AXI4-Stream Interconnect** : 異種マスター/スレーブ AMBA® AXI4-Stream プロトコルに準拠したエンドポイント IP の接続を簡略化するインターコネクト インフラストラクチャ IP。1 つ以上の AXI4-Stream マスターチャンネルを 1 つ以上の AXI4-Stream スレーブ チャンネルに接続します。
- **AXI Performance Monitor** : AMBA Advanced eXtensible Interface (AXI) システムの主なパフォーマンス基準を計測します。システムの特定のマスター/スレーブ (AXI4、AXI4-Lite、AXI4-Stream) のバス レイテンシ、特定期間のメモリトラフィック量などの計測がサポートされます。

Virtex-7 FPGA GTH トランシーバーのサポート

- 次の IP に Virtex-7 FPGA GTH を製品版前 (pre-production) サポート
 - Ten Gigabit Ethernet 10GBASE-KR
 - 10GBASE-R
 - RXAUI
 - XAUI
 - QSGMII
 - 1000BASE-X/SGMII

重要なリリース情報

Vivado Design Suite 2012.3

デバイス サポート

Vivado™ Design Suite 2012.2 で生成された Virtex®-7 HT ビットストリームは、Vivado 2012.3 ツールと互換性がありません。Vivado Design Suite 2012.2 を使用して作成した BIT ファイルは、2012.3/14.3 の iMPACT、ChipScope™ Pro Analyzer、または Vivado ロジック解析を使用してデバイスにプログラムすることはできません。Vivado 2012.3 ツールを使用して GT ウィザード 2.3 を実行し、再インプリメントする必要があります。

Vivado 高位合成

- Vivado 高位合成にブロックレベル I/O プロトコルを追加して、より信頼性の高い AXI4 ハンドシェイクを提供したことにより、既存の **ap_ctrl_hs** プロトコルの動作に多少の変更があります。
 - デフォルトのインターフェイスには、新しい出力ポート **ap_ready** が含まれます。出力信号 **ap_ready** が High になるまで入力信号 **ap_start** を High に保持する必要があります。**ap_start** を High のままにして新しいトランザクションを開始するか、**ap_start** を Low にしてトランザクションを停止するかを選択できます。
- Vivado HLS からエクスポートされる IP に 1 つのクロックとリセット
 - これまでは、インターフェイスとコア ロジックに別のクロック ポートとリセット ポートが作成されていました。
 - クロック ポートとリセット ポートの名前は異なるものになっています。IP を Vivado HLS 2012.3 で生成し直し、既存のデザインにインポートした場合、クロックとリセットを手動で接続し直す必要があります。
- RTL のエクスポート機能を拡張し、新しい IP フォーマットとデバイス オプションを追加
 - すべてのデバイスを System Generator for DSP フォーマットにエクスポートし、Vivado Design Suite または ISE® Design Suite でインプリメントできます。
 - 7 シリーズ デバイスを Pcore フォーマットにエクスポートし、ISE Design Suite で合成できます。
- I/O プロトコル **ap_hs** を配列引数に使用可能
 - このプロトコルでは、読み出しおよび書き込みの両方の対象となる引数はサポートされません。これはストリーミング ハンドシェイク プロトコルであるため、順次アクセスされる配列でのみ使用してください。ランダムなアドレス指定は **ap_hs** プロトコルではサポートされません。
- バス インターフェイス プロトコル FSL、PLB 4.6 (マスターおよびスレーブ)、NPI は廃止予定
 - **config interface** コマンドを使用したデフォルト インターフェイス タイプの設定は、サポートされません。各関数のデフォルト インターフェイス タイプは変更されていませんが、デフォルトを使用しない場合は各引数に I/O プロトコルを明示的に設定する必要があります。
 - AXI4 インターフェイスは、バス インターフェイス接続に使用してください。

Vivado Design Suite 2012.2

このセクションには、Vivado™ Design Suite Early Access 2012.1 リリースまたは同等の ISE® Design Suite に関する改善点を含む変更情報の詳細を記述します。

デバイス サポート

- このバージョンでは、すべてのデザインでビットストリームを生成する前にインプリメンテーションからタイミング解析までをやり直すことをお勧めしています。
- このバージョンで次のデバイスのエンジニアリング サンプル (GES) -2 スピード グレードをターゲットにする場合は、パッチをインストールする必要があります。詳細は、ザイリンクス アンサー 50886 (<http://japan.xilinx.com/support/answers/50886.htm>) を参照してください。
 - Kintex™-7 325T、480T、420T および 410T
 - Virtex®-7 X485T および 2000T

Vivado シミュレータ

- ISE ツールと比べてエラーレター用のメモリの使用率を最大 1/2 まで削減
- Vivado Design Suite 2012.1 と比べて、大規模デザインの階層ブラウザーが 50 倍スピード アップ
- シミュレーションオブジェクトのプロパティ設定をサポート
 - 追加プロパティ: `array_display_limit`、`radiz`、`time_unit`、`trace_limit`、`line_tracing`、`process_tracing`

Vivado 高位合成

- Vivado HLS (高位合成) は、以前 AutoESL という名前でリリースされており、コマンド ラインで `autoesl` と入力すると起動できましたが、このコマンドは `vivado_hls` に変更されています。
- デザインフローの主な Tcl コマンドが、次のように変更されています。
 - `elaborate common` は必要なくなりました。
 - `elaborate` および `autosyn` コマンドの代わりに、`ccynth_design` コマンドを使用します。
 - `autosim` コマンドの代わりに、`cosim_design` コマンドを使用します。
 - `autoimpl` コマンドの代わりに、`export_design` コマンドを使用します。
- Vivado HLS での RTL インプリメンテーション (Tcl コマンドでは `autoimpl`) はサポートされなくなりました。この機能は、新しい RTL エクスポート機能としてサポートされるようになっています。
- サポートされるサードパーティの HDL シミュレータを使用する場合に、RTL 協調シミュレーションに SystemC/HDL 協調シミュレーション ライセンスは必要なくなりました。必要なのは、サポートされるサードパーティの HDL シミュレータの HDL ライセンスのみです。
- 既存の `AP_STREAM` マクロは、廃止予定です。ストリーミング データは、新しい `hls::stream` データ型でサポートされます。

Memory Interface Generator

MIG 7 Series バージョン 1.6 を使用するメモリ コントローラー デザインはすべて再生成する必要があります。

ピン配置

- 差動ペアの作成処理を改善
- 表およびツリー形式でセルのレンダリング フォーカスを改善
- SSN レポート、IO ポートのプロパティ編集、[Package] ビューのポート レンダリング、および [Clock Resources] ビューなどのさまざまなビューを改善
- VCCAUXIO、VCCAUXIOBT、VCCAUXIOSTD の DRC を改善

System Generator for DSP

- Vivado および System Generator for DSP の統合を改善
 - MDL ファイルのタイム スタンプに基づいた自動再生成を変更
 - 基本ブロックの Vivado IP 生成により生成時間改善

Vivado 合成

- System Verilog および VHDL 言語のサポートを拡大

Vivado IP カタログ

Vivado IP カタログおよび ISE CORE Generator™ から提供される IP に含まれる readme ファイルに、新機能の追加を含む実行履歴を表示

既存 IP のアップデート

- 7 Series Transceiver Wizard
 - 新しいプロトコル テンプレートを複数追加
 - Virtex-7 2000T および HT (GTZ) デバイス サポートを追加
- Aurora 64B/66B
 - Virtex-7 GTH の特性化をアップデート
 - ザイリンクス 7 シリーズ FPGA のホット プラグ検出をサポート
 - KC724 ボード間検証
- Aurora 8B/10B
 - Virtex-7 GTH デバイスをサポート
 - SLR (Super Logic Region) をサポート
 - 16 ビットの追加スクランブラー / デスクランブラー
 - ユーザー データ用 16 ビットまたは 32 ビット CRC
 - ザイリンクス 7 シリーズ FPGA のホット プラグ検出をサポート
 - テストベンチをアップデート
 - KC724 ボード間検証
- ChipScope™ Pro IP コア
 - Virtex-7 FPGA デバイスで IBERT 7 Series GTH をサポート
 - Analyzer で 2D アイ スキャン計測を含む RX マージン解析をサポート

- Artix™-7 FPGA デバイスで IBERT 7 Series GTP をサポート
 - CORE Generator ツールをサポート
 - 基本的な測定を Analyzer でサポート
- Virtex-7 FPGA デバイスで IBERT 7 Series GTZ をサポート (Virtex-7 HT GTZ ラウンジから制限付きアクセス)
 - 基本的な測定を Analyzer でサポート
- Clocking Wizard
 - 拡散スペクトラムのサポートをバージョン 4.2 に追加
 - 高速シミュレーションのサポートをバージョン 4.2 に追加
- Distributed Memory Generator v7.2
 - サンプル テストベンチを追加
- PCI EXPRESS® Gen3/Gen2
 - IP サポート
- 10 Gigabit Ethernet MAC
 - Artix デバイス サポートを追加
- 1000BASE-X/SGMII
 - Artix デバイス サポートを追加
 - Virtex-7 および Kintex-7 ファミリーで LVDS 同期を介した SGMII のサポートを追加
- QSGMII
 - Artix デバイス サポートを追加
- PCI32 および PCI64
 - Vivado Design Suite 2012.2 のサポートを追加

AXI4 インターフェイスをサポートするその他の IP

- CORE Generator IP の最新バージョンは、AXI4 インターフェイスを製品サポートしています。AXI IP サポートの詳細は、http://japan.xilinx.com/ipcenter/axi4_ip.htm を参照してください。
- 通常 AXI4 インターフェイスは、Virtex-7、Kintex-7、Virtex-6、および Spartan®-6 デバイス ファミリー向けの最新版の IP でサポートされます。これまでの製品版の IP では、Virtex-6、Spartan-6、Virtex-5、Virtex-4、および Spartan-3 デバイス ファミリー向けのレガシ インターフェイスがサポートされます。
- AXI4 サポートに関する一般的な情報は、<http://japan.xilinx.com/ipcenter/axi4.htm> を参照してください。
- 2012.2 リリースでアップデートされたコアの詳細なリストは、japan.xilinx.com/ipcenter/coregen/updates_14_2.htm を参照してください。

ISE Design Suite 14.2

デバイス サポート

- このバージョンでは、次のデバイスをターゲットにする場合、インプリメンテーション (配置配線) を実行し直す必要があります。
 - すべての Artix-7 デバイス
 - Zynq™-7000 EPP 7z030 および 7z045
- このバージョンでは、すべてのデザインでビットストリームを生成する前にインプリメンテーションからタイミング解析までをやり直すことをお勧めしています。
- このバージョンで次のデバイスのエンジニアリング サンプル (GES) -2 スピード グレードをターゲットにする場合は、パッチをインストールする必要があります。詳細は、ザイリンクス アンサー 50886 (<http://japan.xilinx.com/support/answers/50886.htm>) を参照してください。
 - Kintex-7 325T、480T、420T および 410T
 - Virtex-7 X485T および 2000T

Memory Interface Generator

MIG 7 Series バージョン 1.6 を使用するメモリ コントローラー デザインはすべて再生成する必要があります。

Linux OS のコマンド ラインからのザイリンクス ツールの起動

Linux OS でザイリンクス ツールを起動するコマンドについては、ザイリンクス アンサー 41265 (<http://japan.xilinx.com/support/answers/41265.htm>) を参照してください。

IP CORE Generator

既存 IP のアップデート

- 7 Series Transceiver Wizard
 - 新しいプロトコル テンプレートを複数追加
 - Zynq 7045 (GTX) デバイス サポートを追加
- Aurora 64B/66B
 - Virtex-7 GTH の特性化をアップデート
 - ザイリンクス 7 シリーズ FPGA のホット プラグ検出をサポート
 - KC724 ボード間検証
- Aurora 8B/10B
 - Virtex-7 GTH デバイスをサポート
 - SLR (Super Logic Region) をサポート
 - 16 ビットの追加スクランブラー / デスクランブラー
 - ユーザー データ用 16 ビットまたは 32 ビット CRC
 - ザイリンクス 7 シリーズ FPGA のホット プラグ検出をサポート

- テストベンチをアップデート
- KC724 ボード間検証
- ChipScope Pro IP コア
 - Virtex-7 FPGA デバイスで IBERT 7 Series GTH をサポート
 - Analyzer で 2D アイ スキャン計測を含む RX マージン解析をサポート
 - Artix-7 FPGA デバイスで IBERT 7 Series GTP をサポート
 - CORE Generator ツールをサポート
 - 基本的な測定を Analyzer でサポート
 - Virtex-7 FPGA デバイスで IBERT 7 Series GTZ をサポート (Virtex-7 HT GTZ ラウンジから制限付きアクセス)
 - 基本的な測定を Analyzer でサポート
- Clocking Wizard
 - 拡散スペクトラムのサポートをバージョン 3.6 に追加
- Distributed Memory Generator v7.2
 - サンプル テストベンチを追加
- PCI EXPRESS Gen3/Gen2
 - IP サポート
 - Tandem PROM/PCIe のベータ版機能
- 10 Gigabit Ethernet MAC
 - Artix デバイス サポートを追加
 - Zynq デバイス サポートを追加
- 1000BASE-X/SGMII
 - Artix デバイス サポートを追加
 - Zynq デバイス サポートを追加
 - Virtex-7 および Kintex-7 ファミリーで LVDS 同期を介した SGMII のサポートを追加
- AXI イーサネット
 - Zynq デバイス サポートを追加

AXI4 インターフェイスをサポートするその他の IP

- CORE Generator IP の最新バージョンは、AXI4 インターフェイスを製品サポートしています。AXI IP サポートの詳細は、http://japan.xilinx.com/ipcenter/axi4_ip.htm を参照してください。
- 通常 AXI4 インターフェイスは、Zynq-7000 EPP、Virtex-7、Kintex-7、Virtex-6、および Spartan-6 デバイス ファミリー向けの最新版の IP でサポートされます。これまでの製品版の IP では、Virtex-6、Spartan-6、Virtex-5、Virtex-4、および Spartan-3 デバイス ファミリー向けのレガシ インターフェイスがサポートされます。
- AXI4 サポートに関する一般的な情報は、<http://japan.xilinx.com/ipcenter/axi4.htm> を参照してください。
- 2012.2 リリースでアップデートされたコアの詳細なリストは、http://japan.xilinx.com/ipcenter/coregen/updates_14_2_2012_2.htm を参照してください。

ISE Design Suite 14.1

既存 IP のアップデート

- FIFO Generator v9.1
 - AXI FIFO コンフィギュレーションで最大データ幅を 4096 に増加
- 7 Series FPGA Transceiver Wizard (GT Wizard) v2.1
 - UG769 に説明されている初期化シーケンスを示す GTX および GTH トランシーバーの新しいサンプルデザイン モジュールを提供
 - 初期 ES GTH デバイスをサポートするためポートおよび属性設定をアップデート
 - 新しい GTX プロトコル テンプレート (シミュレーションのみ): HD-SDI、3G-SDI、6G-SDI、および PCI Express Gen1、Gen2
 - 新しい GTH プロトコル テンプレート (シミュレーションのみ): XAUI、RXAUI、OTL3.4、OC48、ギガビット イーサネット (1000BASE-X PCS/PMA)、QSGMII、CPRI、PCI Express Gen1、Gen2
 - 新しい GTP プロトコル テンプレート (シミュレーションのみ): DisplayPort、CPRI、ギガビット イーサネット (1000BASE-X PCS/PMA)、QSGMI、V-by-One、HD-SDI、3G-SDI、6G-SDI、RXAUI、XAUI
- DisplayPort v3.1
 - 仕様バージョン 1.2 から 7 シリーズ FPGA デバイスで 5.4Gbps SST (Single Stream Transport) をサポート
 - グレイ スケール ビデオ用の輝度のみのモード
 - コンポーネントごとのビット数 (BPC) を設定でき、メモリのフットプリントを削減
 - クワッド ピクセル幅ビデオ クロック インターフェイス
 - セカンダリ オーディオ (2 チャネル) オプション (別ライセンス)
- AXI Bus Functional Model (AXI BFM) v2.1
 - VHDL 例を追加
 - Synopsys VCS® および Aldec Riviera-PRO™ シミュレーション ツールをサポート

AXI4 IP およびその他の情報

通常 AXI4 インターフェイスは、Zynq-7000 EPP、Virtex-7、Kintex-7、Virtex-6、および Spartan®-6 FPGA デバイス ファミリー向けの最新版の IP でサポートされます。これまでの製品版の IP では、Virtex-6、Spartan-6、Virtex-5、Virtex-4、および Spartan-3 デバイス ファミリー向けのレガシ インターフェイスがサポートされます。

- CORE Generator ツール IP の最新バージョンは、AXI4 インターフェイスを製品サポートしています。AXI IP サポートの詳細は、http://japan.xilinx.com/ipcenter/axi4_ip.htm を参照してください。
- AXI4 サポートに関する一般的な情報は、<http://japan.xilinx.com/ipcenter/axi4.htm> を参照してください。
- 14.1 リリースの IP コアのリストは、http://japan.xilinx.com/ipcenter/coregen/updates_14_1_2012_1.htm を参照してください。
- IP の新機能および既知の問題は、『IP リリース ノート ガイド』(XTP025) を参照してください。
http://www.xilinx.com/support/documentation/ip_documentation/xtp025.pdf

アーキテクチャ サポート およびシステム要件

オペレーティング システム

ザイリンクスでサポートされる OS は、x86 および x86-64 プロセッサ アーキテクチャの OS のみです。

Microsoft Windows サポート

- Windows XP Professional (32 ビットおよび 64 ビット)、英語版/日本語版
- Windows 7 Professional (32 ビットおよび 64 ビット)、英語版/日本語版
- Windows Server 2008 (64 ビット)

注記：現時点では Windows 32 ビット マシンにインストールすると、プログラム メニューに [Vivado 2012.2] が表示されません。Vivado を起動するには、デスクトップ アイコンを使用するか、プログラム メニューに Vivado を追加してください。詳細は、[アンサー 50976](#) を参照してください。

Linux サポート

- Red Hat Enterprise Workstation 5 (32 ビットおよび 64 ビット)
 - Red Hat Enterprise Workstation 6 (32 ビットおよび 64 ビット)
 - SUSE Linux Enterprise 11 (32 ビットおよび 64 ビット)
-

アーキテクチャ

次の表は、ISE® Design Suite WebPACK ツールとその他のVivado™ Design Suite エディション/ISE Design Suite エディションのコマーシャル製品のアーキテクチャ サポートをリストしています。

コマーシャル製品以外：

- ザイリンクス オートモーティブ デバイスはすべて ISE Design Suite WebPACK ツールでサポートされます。
- ディフェンス グレードのザイリンクス FPGA デバイスは、同等のコマーシャル パーツ サイズのサポートされるエディションでサポートされます。

表 3-1: アーキテクチャ サポート

	ISE WebPACK	ISE Design Suite (全エディション)
Zynq™ デバイス	Zynq-7000 <ul style="list-style-type: none"> XC7Z010、XC7Z020、XC7Z030 	Zynq-7000 <ul style="list-style-type: none"> すべて
Virtex® FPGA	Virtex-4 FPGA <ul style="list-style-type: none"> LX :XC4VLX15、XC4VLX25 SX :XC4VSX25 FX :XC4VFX12 Virtex-5 FPGA <ul style="list-style-type: none"> LX :XC5VLX30、XC5VLX50 LXT :XC5VLX20T - XC5VLX50T SXT :なし FXT :XC5VFX30T Virtex-6 FPGA <ul style="list-style-type: none"> LXT :XC6VLX75T Virtex-7 FPGA <ul style="list-style-type: none"> なし 	Virtex-4 FPGA <ul style="list-style-type: none"> すべて Virtex-5 FPGA <ul style="list-style-type: none"> すべて Virtex-6 FPGA <ul style="list-style-type: none"> すべて Virtex-7 FPGA <ul style="list-style-type: none"> すべて
Kintex™ FPGA	Kintex-7 FPGA <ul style="list-style-type: none"> XC7K70T、XC7K160T 	Kintex-7 FPGA <ul style="list-style-type: none"> すべて
Artix™ FPGA	Artix-7 FPGA <ul style="list-style-type: none"> XC7A100T、XC7A200T 	Artix-7 FPGA <ul style="list-style-type: none"> すべて
Spartan® FPGA	Spartan-3 FPGA <ul style="list-style-type: none"> XC3S50 - XC3S1500(L) Spartan-3A/-3AN/-3E FPGA <ul style="list-style-type: none"> すべて Spartan-3A DSP FPGA <ul style="list-style-type: none"> XC3SD1800A Spartan-6 FPGA <ul style="list-style-type: none"> XC6SLX4 - XC6SLX75T 	Spartan-3 FPGA <ul style="list-style-type: none"> すべて Spartan-3A/-3AN/-3E FPGA <ul style="list-style-type: none"> すべて Spartan-3A DSP FPGA <ul style="list-style-type: none"> すべて Spartan-6 FPGA <ul style="list-style-type: none"> すべて
CoolRunner™ XPLA3 CoolRunner-II、 XC9500 CPLD	<ul style="list-style-type: none"> すべて 	<ul style="list-style-type: none"> すべて

Vivado Design Suite アーキテクチャ サポート

Vivado Design Edition および Vivado System Edition : Artix-7、Kintex-7、Virtex-7 デバイスすべて

互換性のあるサードパーティ ツール

表 3-2 : 互換性のあるサードパーティ ツール

サードパーティ ツール	Red HatLinux	Red-Hat Linux-64	SUSE Linux	Windows XP 32 ビット	Windows XP 64 ビット	Windows-7 32 ビット	Windows-7 64 ビット
シミュレーション							
Mentor Graphics ModelSim SE/DE (10.1a)	○	○	○	○	○	○	○
Mentor Graphics ModelSim PE (10.1a)	×	×	×	○	○	○	○
Mentor Graphics Questa® Advanced Simulator(10.1a)	○	○	○	○	○	○	○
Cadence Incisive® Enterprise Simulator (IES) (11.1)	○	○	○	×	×	×	×
Synopsys VCS® および VCS MX (F-2011.12)	○	○	○	×	×	×	×
The MathWorks MATLAB® and Simulink® with Fixed-Point Toolbox (2011a、2011b、2012a)	○	○	○	○	○	○	○
合成							
Synopsys Synplify®/Synplify Pro (F-2012.03-SP1)	○	○	○	○	○	○	○
Mentor Graphics Precision® RTL/Plus (2012a)	○	○	○	○	○	○	○
等価性チェック							
Cadence Encounter® Conformal® (9.1)	○	○	○	×	×	×	×

注記 : Cadence Encounter Conformal は、Synopsys Synplify を使用した RTL2Gate でのみサポートされます。

システム要件

このセクションでは、システム メモリ要件、ケーブル インストール、およびその他の要件について説明します。

システム メモリ要件

ザイリンクス デザイン ツールの推奨メモリについては、<http://japan.xilinx.com/ise/products/memory.htm> を参照してください。

OS と使用可能なメモリ

Microsoft Windows および Linux® OS のアーキテクチャ場合、ザイリンクス プログラムに使用できるメモリの最大容量に制限があり、大規模デバイスおよび複雑なデバイスを作成する際に問題となることがあります。ISE Design Suite には最適化メモリが含まれており、ザイリンクス ツール用に RAM を増加できるようになっています。

Windows XP Professional 32 ビット

ザイリンクス アプリケーションでは、Windows 32 ビット システムでメモリ増加機能が取り入れられるようになっていますが、ユーザーの方でもより大規模なメモリを使用できるように Windows 設定を変更する必要があります。

標準の Windows では、ザイリンクスのプロセスに使用できる最大メモリ容量は 2GB ですが、Windows XP Professional の場合は、RAM を 3 GB まで増加できるようになっています。ISE ツールにはこのオプションがビルトインされていますが、Windows XP OS にも修正を加えないと、メモリは拡張できません。拡張するには boot.ini ファイルの startup ラインの終わりに /3GB を追加する必要があります。

ザイリンクス アプリケーションで 3GB サポートを使用する前に、マイクロソフトのサポート技術情報 (<http://support.microsoft.com/?kbid=328269>) を参照してください。Windows XP サービス パック 1 にアップグレードし、/3GB オプションを使用する場合、マイクロソフトからのパッチをインストールしていないとマシンを再起動できません。詳細は、アンサー 17905 (<http://japan.xilinx.com/support/answers/17905.htm>) を参照してください。

変更を加える前に、次を参照してください。

- 4GT RAM チューニングのアプリケーション使用については、マイクロソフトのサポート技術情報 Q17193 (<http://support.microsoft.com/default.aspx?scid=kb;en-us;Q171793>) を参照してください。
- boot.ini ファイルの修正方法については、マイクロソフトのサポート技術情報 Q289022 (<http://support.microsoft.com/default.aspx?scid=kb;en-us;q289022>) を参照してください。

Linux

32 ビットの Red Hat Enterprise Linux では、大規模メモリのカーネルを使用して各プロセスに 4GB 割り当てることができます。詳細については、次の Red Hat のサポートサイトを参照してください。
<http://www.redhat.com/docs/manuals/enterprise/>

ケーブル インストール要件

ザイリンクス® デザイン ツールでターゲット ハードウェアをプログラムおよびコンフィギュレーションするには、ハイパフォーマンスなケーブル、プラットフォーム ケーブル USB または パラレル ケーブル IV が必要です。

Platform Cable USB II をインストールする場合は、少なくとも USB 1.1 ポートが必要になります。最適なパフォーマンスには、USB 2.0 ポートで Platform Cable USB II を使用することをお勧めします。

Parallel Cable IV をインストールするには、パラレル ポート コネクタとパラレル ポート通信がサポートされるシステムが必要です。

ケーブルは、Windows XP Professional、Windows 7、Redhat Linux Enterprise、SUSE Linux Enterprise 11 の 32 ビットおよび 64 ビット バージョンで公式にサポートされています。OS 別の注意点は、次を参照してください。

- ルート ディレクトリへの権限が必要です。
- SUSE Linux Enterprise 11 : Platform Cable USB II が正しく動作するためには、fxload ソフトウェア パッケージが必要です。fxload パッケージは SUSE Linux Enterprise 11 には自動的にインストールされないため、そのユーザーまたはシステム管理者がインストールしておく必要があります。

- Linux LibUSB サポート :LibUSB パッケージに基づく Platform Cable USB II のサポートは、ザイリンクスの Web サイトから入手できます。詳細は、ザイリンクス アンサー #29310 (<http://japan.xilinx.com/support/answers/29310.htm>) を参照してください。

ザイリンクス ケーブルに関するその他の情報は、次のマニュアルを参照してください。

- USB ケーブル インストール ガイド (UG344) : http://japan.xilinx.com/support/documentation/user_guides/ug344.pdf
- Platform Cable USB II データシート (DS593) : http://japan.xilinx.com/support/documentation/data_sheets/ds593.pdf
- Parallel Cable IV データシート (DS097) : http://japan.xilinx.com/support/documentation/data_sheets/ds097.pdf

装置とアクセス権

次の表は、関連装置、アクセス権、ネットワーク接続の条件を示しています。

表 3-3: 装置とアクセス権の要件

項目	要件
ディレクトリのアクセス権	編集するデザイン ファイルが含まれるディレクトリすべての書き込み権が必要です。
モニタ	解像度 1024x768 ピクセル以上の 16 ビット カラー VGA をお勧めします。
ドライブ	ISE Design Suite には DVD-ROM が必要です (Web からのダウンロードではなく、DVD を請求してインストールする場合)。
ポート	デバイスのプログラムには、ザイリンクス プログラム ケーブル用にパラレル ポート、USB ポートのいずれかが必要です。ポートの仕様については、ケーブルのマニュアルを参照してください。 注記 : ケーブルドライバソフトウェアのインストールには、Windows XP Pro SP1 (およびそれ以降) または Windows 7 が必要です。これらの OS を使用していない場合、ケーブルが正しく動作しないことがあります。

注記 : Exceed、ReflectionX、XWin32 のような X サーバー / リモート デスクトップ サーバーはサポートされません。

ネットワーク時刻の同期化

ソフトウェアがインストールされたコンピュータとは別のネットワーク コンピュータにユーザーのデザイン ファイルを保存する場合、どちらのコンピュータも同時刻に設定する必要があります。ソフトウェアのファンクションを最適にするため、時刻は定期的に合わせてください。

テクニカル サポート および 資料

既知の問題

Vivado™ Design Suite ツールの既知の問題については、次を参照してください。
<http://japan.xilinx.com/support/answers/47397.htm>

ISE® Design Suite ツールの既知の問題については、次を参照してください。
<http://japan.xilinx.com/support/answers/46491.htm>

サポート サイト

技術的な問題については、ザイリンクス製品のサポートおよび資料サイト (<http://japan.xilinx.com/support/>) を参照してください。このサイトからは、アンサー データベースや次のようなセルフ サポート機能を使用できます。

- ダウンロード センター: <http://japan.xilinx.com/support/download/index.htm>
- ザイリンクス ユーザー コミュニティ フォーラム: <http://forums.xilinx.com>
- デザイン トレーニング ビデオ: <http://japan.xilinx.com/training/free-video-courses.htm>

オンライン リソースを使用しても問題が解決しない場合は、ザイリンクス テクニカル サポート (<http://japan.xilinx.com/support/techsup/tappinfo.htm>) まで直接ご連絡ください。

カスタマー トレーニング

ザイリンクスでは、設計をすぐに開始するために必要な基本的な知識を得るためのトレーニング プログラムを用意しています。これらのプログラムは、FPGA 初心者と経験豊富なエンジニアの両方をターゲットにしており、複雑な接続、デジタル信号処理、エンベデッド ソリューションなどについて学ぶことができます。

ザイリンクスのトレーニング サイト (<http://japan.xilinx.com/support/education-home.htm>) からは、トレーニング コース、無料のオンデマンド トレーニング、ライブのオンライン トレーニング、イベントなどの詳細情報が入手できます。

資料

Documentation Navigator

ザイリンクス ツールおよびハードウェア資料は、Documentation Navigator かザイリンクスのウェブサイトから確認できます。Documentation Navigator は、Vivado Design Suite 2012.2 に含まれる機能で、ザイリンクスの資料およびビデオのカタログです。

Documentation Navigator の詳細は、[Vivado Design Suite 2012.2 資料ページ](#)にリストされる『[Vivado Design Suite ユーザーガイド: 入門](#)』(UG910) を参照してください。

注記 : Documentation Navigator では、英語の資料がリストされますが、Vivado で [Tools] → [Options] をクリックし、[Opening Xilinx Documentation] セクションで [Open with your web browser] をオンにしておくと、日本語の資料がある場合はそれがウェブブラウザで開きます。

オンライン ヘルプ

グラフィック ユーザー インターフェイスのある ISE Design Suite ツールのほとんどのツールから、状況に応じたオンライン ヘルプを利用できます。オンライン ヘルプは、Project Navigator から [Help] → [Help Topics] をクリックするか F1 キーを押すと表示できます。

ソフトウェア マニュアル

ザイリンクス デザイン ツールおよびコマンド ラインに関するソフトウェア マニュアルについては、japan.xilinx.com を参照してください。ウェブサイトからソフトウェア マニュアルを参照するには、次の手順に従ってください。

1. 資料ページ (<http://japan.xilinx.com/support/>) を表示します。
2. [デザイン ツール] タブをクリックします。
3. まず Vivado デザイン ツールなどのデザイン ツール カテゴリおよびバージョンをクリックするか、[See All ISE Design Suite Documentation] のリンクをクリックします。

ザイリンクス用語集

ザイリンクスで使用される技術用語については、<http://japan.xilinx.com/company/terms.htm> を参照してください。

エンド ユーザー ライセンス契約

ザイリンクスは、ザイリンクス デザイン ツールで次のサードパーティ ベンダーのライセンスを使用する許諾を受けています。各ライセンスは、該当するソフトウェアのみに適用されるもので、その他に適用されるものではありません。サードパーティの所有するライセンスは英文のまま記載しています。ライセンス ファイルを生成する前に、ザイリンクス デザイン ツールおよびサードパーティ製品のエンド ユーザー ライセンス契約 (EULA) を許諾しておく必要があります。

サードパーティ ライセンスの詳細および EULA については、http://japan.xilinx.com/cgi-bin/docs/rdoc?v=14.2;d=ug763_tplg.txt を参照してください。

ザイリンクス デザイン ツール ライセンスの詳細および EULA については、<http://japan.xilinx.com/cgi-bin/docs/rdoc?v=14.2;d=end-user-license-agreement.txt> を参照してください。