

# Versal ACAP ボード システム 設計手法ガイド

UG1506 (v2020.2) 2021 年 2 月 4 日

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。



# 改訂履歴

次の表に、この文書の改訂履歴を示します。

セクション	改訂内容
2021 年 2 月 4 日 バージョン 2020.2	
初版。	なし

# 目次

改訂履歴.....	2
第 1 章: 概要.....	4
Versal ACAP 設計手法について .....	4
この資料に関連する設計プロセス.....	4
このユーザー ガイドについて .....	5
第 2 章: PCB レイアウトに関する推薦事項.....	6
PCB 上の物理コンポーネントに対する配置.....	6
電源分配システム.....	7
熱ソリューションに関する考慮事項.....	8
PCB の設計に関する考慮事項.....	10
第 3 章: デバイスの消費電力およびシステムの依存性.....	12
デバイスの電源パス.....	12
電力タイプ.....	12
消費電力に影響する要因.....	13
Xilinx Power Estimator (XPE) を使用したワースト ケース消費電力解析.....	14
NoC および DDRMC の消費電力見積もり.....	14
AI エンジンの消費電力見積もり.....	15
第 4 章: クロック リソースのプランニングおよび割り当て.....	17
第 5 章: I/O プランニング デザイン フロー.....	18
I/O プランニングの実行可能な Vivado Design Suite プロジェクト タイプ.....	18
ピン配置の選択.....	19
インターフェイスの帯域幅の検証.....	21
第 6 章: ブートおよびコンフィギュレーション .....	23
ボード設計でのヒント.....	23
付録 A: その他のリソースおよび法的通知.....	24
ザイリンクス リソース.....	24
Documentation Navigator およびデザイン ハブ.....	24
参考資料.....	24
お読みください: 重要な法的通知.....	25

# 概要

## Versal ACAP 設計手法について

ザイリンクス Versal™ ACAP (Adaptive Compute Acceleration Platform) 設計手法は、Versal デバイスの設計プロセスを効率的にするためのベスト プラクティスをまとめたものです。これらのデザインは大型で複雑性が高いため、各設計段階を正しく実行していくためには、特定の手順と設計タスクが必要です。これらの手順およびベスト プラクティスに従うと、デザイン目標を短期間で効率的に達成できます。

## この資料に関連する設計プロセス

ザイリンクスの資料は、開発タスクに関連する内容を見つけやすいように、標準設計プロセスに基づいて構成されています。Versal™ ACAP デザイン プロセスの [デザイン ハブ](#) は、ザイリンクス ウェブサイトからアクセスできます。この資料では、次の設計プロセスについて説明します。

- ボード システム設計: 回路図およびボード レイアウトを使用して PCB を設計します。消費電力、熱、およびシグナル インテグリティに関する考慮事項も含まれます。

設計手法の追加の詳細は、次の資料を参照してください。

- システム/ソリューション プランニング: システム レベルのコンポーネント、パフォーマンス、I/O、およびデータ転送要件を特定します。ソリューションの PS、PL、および AI エンジン へのアプリケーション マップも含まれます。『Versal ACAP デザイン ガイド』 ([UG1273](#)) を参照してください。
- エンベデッド ソフトウェア開発: ハードウェア プラットフォームからソフトウェア プラットフォームを作成し、エンベデッド CPU を使用してアプリケーションを開発します。XRT および Graph API も含まれます。『Vitis 統合ソフトウェア プラットフォームの資料』 (UG1416) の AI エンジン フローの [PS ホスト アプリケーションのプログラミング](#) を参照してください。
- AI エンジン開発: AI エンジン グラフおよびカーネルの作成、ライブラリの使用、シミュレーションのデバッグおよびプロファイリング、アルゴリズムの開発を実行します。PL と AI エンジン カーネルの統合も含まれます。『Versal ACAP AI エンジン プログラミング環境ユーザー ガイド』 ([UG1076](#)) および『Versal ACAP AI エンジン カーネル コーディング ユーザー ガイド』 ([UG1079](#)) を参照してください。
- ハードウェア、IP、プラットフォーム開発: ハードウェア プラットフォーム用の PL IP ブロックの作成、PL カーネルの作成、サブシステムの論理シミュレーション、および Vivado® タイミング、リソース使用、消費電力クロージャの評価を実行します。システム統合用のハードウェア プラットフォームの開発も含まれます。『Versal ACAP ハードウェア、IP、およびプラットフォーム開発設計手法ガイド』 ([UG1387](#)) を参照してください。
- システムの統合と検証: システムを統合し、タイミング、リソース使用、消費電力クロージャを含むシステムの機能的なパフォーマンスを検証します。『Versal ACAP システム統合および検証設計手法ガイド』 ([UG1388](#)) を参照してください。

---

## このユーザー ガイドについて

このガイドでは、次のトピックの概要、設計ガイドライン、デザインの決定事項のトレードオフを示します。

- **第 2 章: PCB レイアウトに関する推奨事項:** ボード上のデバイスの向きを適切にプランニングし、電源分配システム (PDS)、熱ソリューション、およびプリント基板 (PCB) を設計するための推奨事項を示します。
- **第 3 章: デバイスの消費電力およびシステムの依存性:** PCB をプランニングする際に、消費電力の見積もりを含め、消費電力および熱要件が満たされるようにするための考慮事項を示します。
- **第 4 章: クロック リソースのプランニングおよび割り当て:** クロッキング リソースの選択に関する主な推奨事項を示します。
- **第 5 章: I/O プランニング デザイン フロー:** デバイスを通過するデータフローを効率的なものにするために、信号を特定のピンに割り当てるのに使用する異なる I/O プランニング フローと推奨事項を示します。
- **第 6 章: ブートおよびコンフィギュレーション:** 最適なコンフィギュレーションとデバッグを確実にするための、PCB の設計に関する一般的なガイドラインを示します。

# PCB レイアウトに関する推薦事項

ボード上のデバイスとそれと通信するコンポーネントのレイアウトは、I/O プランニングに大きく影響します。

## PCB 上の物理コンポーネントに対する配置

まず、PCB 上のデバイスの配置を決定する必要があります。固定されている PCB コンポーネントおよび内部デバイスリソース両方の位置を考慮します。たとえば、デバイス パッケージ上の GT インターフェイスを、それと通信する PCB 上のコンポーネントの近くに配置すると、PCB トレース長が短くなり、PCB ビア数を削減できます。

重要なインターフェイスを含む PCB の図を使用すると、PCB 上でのデバイスの向きおよび PCB コンポーネントの配置を決定するのに役立ちます。配置を決定したら、デバイスの I/O インターフェイスをプランニングできます。

メモリなどの高速インターフェイスは、それと通信する PCB コンポーネントと短距離で直接接続できると有益です。これらの PCB トレースは通常一致した長さにする必要があり、可能な限り PCB ビアを使用しないようにします。この場合、接続を短くし、BGA ピンの大きなマトリックス内から配線を取り出すのを回避するため、デバイスのエッジに最も近いパッケージ ピンが適しています。詳細は、『Versal ACAP PCB デザイン ユーザー ガイド』(UG863: [英語版](#)、[日本語版](#))の[メモリ インターフェイスの PCB ガイドライン](#)を参照してください。

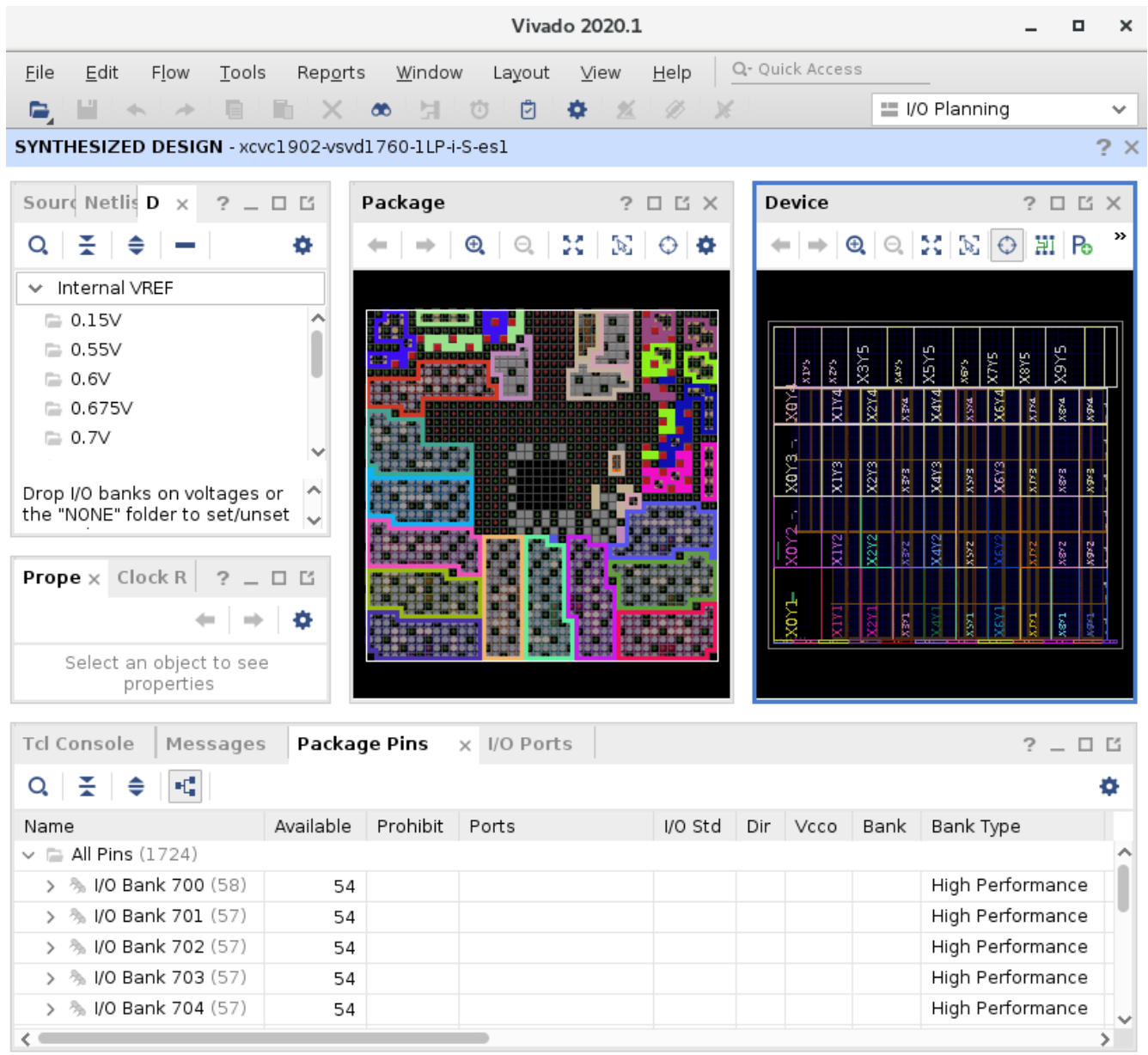
この段階で Vivado® IDE の [I/O Planning] レイアウトを使用すると、デバイスの上面と下面の両方が表示され、物理的なデバイスの寸法に対して I/O 接続を視覚化できるので便利です。



**熱ヒント:** 熱が問題となるデザインでは、ほかの消費電力が大きいコンポーネントに対するデバイスの配置に注意して、熱結合を最小限に抑え、エアフローが最大限になるようにしてください。デバイスを消費電力が大きい別のコンポーネントの排気口に配置したり、ボードの温度上昇が動作温度に悪影響を与えるような場所に配置しないようにしてください。サイリンクスでは、熱シミュレーションを実行し、デバイスの配置および環境条件がデバイスのジャンクション温度にどのように影響するかを調べることをお勧めします。

次の図に、[I/O Planning] レイアウトを示します。

図 1: [I/O Planning] レイアウト



## 電源分配システム

ザイリンクス デバイスの電源分配システム (PDS) を設計する際は、独特のタスクが必要となります。大型マイクロプロセッサなど、ほかの大型で集積度の高い回路のほとんどには、特定のバイパス キャパシタ要件があります。これらのデバイスはハード化されたシリコン アーキテクチャで特定のタスクをインプリメントするために設計されているので、それらの電源要件は固定しており、変動は通常ある一定の範囲内です。

ザイリンクス デバイスには、このような特性はありません。デバイスには、複数のクロック ドメインを使用したユーザー指定の周波数で動作するアプリケーションをほぼ無制限にインプリメントできます。

そのため、デザインの消費電力要件を理解しておくことが重要です。デザインの消費電力要件は、Xilinx Power Estimator (XPE) で消費電力を見積もることにより評価できます。また、該当するデバイスの PCB デザイン ガイドを参照して、消費電力見積もりの前に PDS の配置および一般的なデカップリング要件を理解しておくようにしてください。

**注記:** Versal™ ACAP の XPE では、望ましい電源統合を選択し、消費電力見積もりに基づいてユーザー特定のデカップリング要件を生成できます。

PDS の設計では、主に次の事項を考慮する必要があります。

- 消費電力見積もりに基づき、ノイズおよび電流の要件を満たすために適切な電圧レギュレータを選択します。詳細は、『Versal ACAP システム統合および検証設計手法ガイド』(UG1388) のこのセクションを参照してください。

**注記:** 電源デザインを可能にし、単純化するため、ザイリンクス パートナーと主要な電源ベンダーにより、すべての消費電力要件を満たすリファレンス デザインが設計、ビルド、テストされています。詳細は、ザイリンクス ウェブサイトの消費電力削減ページの [電力管理ソリューション] タブを参照してください。

- 電源を統合します。Xilinx Power Estimator (XPE) では、[Power Design] シートの [Solution] で [Full Power Management] または [Minimum Power Rails] を選択できます。



**電源/消費電力ヒント:** ザイリンクスでは、各レールの電源を監視するため、分路抵抗を追加することをお勧めします。または、PMBus がイネーブルのレギュレータまたは電流監視集積回路 (IC) を使用できます。

- XADC 電源 (Vrefp および Vrefn ピン) を設定します。
- 電源分配ネットワーク (PDN) シミュレーションを実行します。

XPE の [Power Design] シートに示されている数のデカップリング キャパシタを使用してください。これらの値は、レールごとのステップ負荷の初期前提に基づいています。より正確な要件を得るため、実際のデザインに合うよう値を変更できます。PDN シミュレーションを実行すると、電源を確実に推奨される動作範囲内にするために必要なデカップリング キャパシタの適切な数を確認するのに役立ちます。

**注記:** 『Versal ACAP PCB デザイン ユーザー ガイド』(UG863: [英語版](#)、[日本語版](#)) に示されているキャパシタの配置に従ってください。



**電源/消費電力ヒント:** ザイリンクスでは各デバイスの S パラメーター モデルを提供しており、XPE の [Power Design] シートからアクセスできます。

PDN シミュレーションの詳細は、『S パラメーター モデルを使用した FPGA パワー インテグリティのシミュレーション』(WP411) を参照してください。



**電源/消費電力ヒント:** ザイリンクスでは、SIMetrix/SIMPLIS で SIMPLIS シミュレータを使用して電源デザインをシミュレーションし、デザインの動作条件がザイリンクスの推奨する範囲内であることを確認することをお勧めします。ほとんどの電源ベンダーは、このシミュレーションを実行するのに必要な限定バージョンの SIMPLIS とモデルを提供しています。SIMPLIS は、電圧レギュレータの過渡および AC 解析に使用されるサードパーティ ソフトウェアです。

## 熱ソリューションに関する考慮事項

デザインの消費電力見積もりでは、熱ソリューションの効率を理解することが重要です。ジャンクション温度が低いほど、デザインのスタティック消費電力が低くなります。



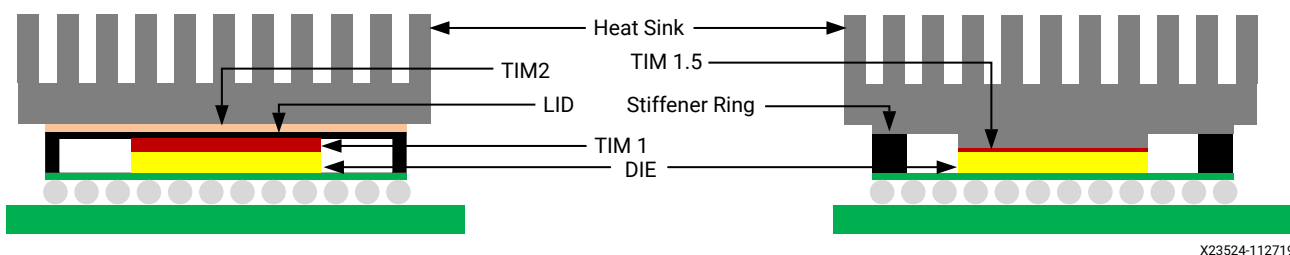
ザイリンクスでは、ご使用のデバイスにリッドレス パッケージがある場合は、それを使用することをお勧めします。リッドレス パッケージでは、より効率的な熱ソリューションが提供され、熱源に直接接触できるので熱伝導材料 (TIM) 層を削除できます。ザイリンクスのリッド付きパーツとリッドレス パーツの取り扱いおよび製造要件は同じです。次の図に、リッド付きデバイスおよびリッドレス デバイスのヒートシンクの取り付けを示します。

**注記:** 詳細は、『Versal ACAP パッケージおよびピン配置アーキテクチャ マニュアル』 (AM013: [英語版](#)、[日本語版](#)) の [熱管理ストラテジ](#) を参照してください。



**熱ヒント:** ザイリンクスでは、ヒートシンクは最小ボンド ラインの厚さ (BLT) を確実にする 20 ~ 50 重量ポンド毎平方インチ (PSI) をお勧めします。また、リッド付きおよびリッドレス デバイスの両方で、4 つの穴を使用して取り付け、圧力が均等になるようにしてください。リッドレス パッケージでのガイドラインは、『リッドレス フリップチップ パッケージの機械/熱設計ガイドライン』 (XAPP1301: [英語版](#)、[日本語版](#)) を参照してください。

図 2: ヒートシンクの例



ザイリンクスでは、適当なマージンがあることを確認し、正確な消費電力見積もりを得るため、熱シミュレーションを実行することをお勧めします。Xilinx Power Estimator (XPE) では、次の熱設定を指定できます。

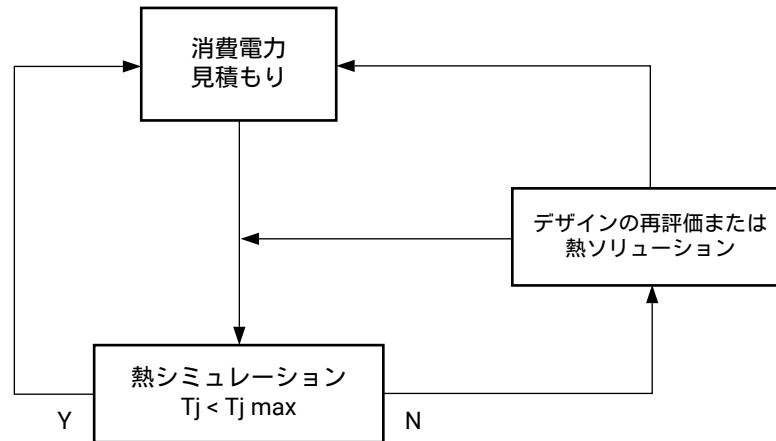
- [Junction Temperature] (ジャンクション温度  $T_j$ ): この設定を熱シミュレーションに一致するジャンクション温度に変更できます。熱シミュレーションを実行しない場合は、ジャンクション温度をワースト ケースに設定します。
- [Ambient Temperature] (周辺温度  $T_a$ ): 最大周囲温度を設定します。
- [Effective  $\Theta_{JA}$ ]: 熱ソリューションの熱効率をワット毎セルシウス度 ( $^{\circ}\text{C}/\text{W}$ ) で示します。たとえば、 $\Theta_{JA}$  が  $2.1^{\circ}\text{C}/\text{W}$  の場合、デバイスで 1 ワット消費されるたびにジャンクション温度が  $2.1^{\circ}\text{C}$  上昇することを意味します。10W デザインでは、周囲温度からの温度上昇は  $21^{\circ}\text{C}$  です。

**注記:**  $\Theta_{JA}$  は、熱シミュレーションから次の式を使用して取得できます。

$$\Theta_{JA} = (T_j - T_a) / \text{消費電力}$$

次の図に、熱検証に推奨されるフローを示します。

図 3: 熱検証に推奨されるフロー



X23525-111319

ジャンクション温度が仕様の範囲内で、十分なマージンが考慮されていれば、熱ソリューションは有効であるとみなすことができます。



**熱ヒント:** 消費電力見積もりおよび熱シミュレーションの結果を Vivado デザイン制約に追加します。次の XDC 制約を使用できます。これらの制約は、Vivado ツールの XDC ファイルに手動で追加できます。

```

# Standard Constraints:
set_operating_conditions -process Maximum
set_operating_conditions -design_power_budget <value>
#If thermal simulation completed
set_operating_conditions -ambient_temp <value>
set_operating_conditions -thetaja <value>
#Else if no thermal simulation completed
set_operating_conditions -junction_temp <value>
  
```



**熱ヒント:** ザイリンクス Versal™ ACAP ファミリーで、-1I、-2I、および -2E デバイスはすべて、寿命の 3% で 110°C までの温度逸脱がサポートされます。この追加のマージンにより、アプリケーションが短時間 100°C を超えることが許容され、熱デザインを単純にできる場合があります。詳細は、『逸脱温度を利用した熱ソリューションの拡張』(WP517: [英語版](#)、[日本語版](#)) を参照してください。

## PCB の設計に関する考慮事項

PCB は、デバイスとの信号インターフェイスが最速となるように設計する必要があります。高速信号は、トレースの形状、ビア、損失、およびクロストークに大きく影響されます。これは、特に多層 PCB で顕著です。高速インターフェイスに対しては、シグナル インテグリティ シミュレーションを実行します。必要なパフォーマンスを得るため、よりよい PCB 材料を使用したり、トレースの形状を変更するなど、ボードの再設計が必要な場合もあります。

ザイリンクスでは、PCB を設計する際は次の手順に従うことをお勧めします。

1. 次のデバイス資料を確認します。

- 『Versal ACAP PCB デザイン ユーザー ガイド』(UG863: [英語版](#)、[日本語版](#)) の消費電力、メモリ、および MIO インターフェイスのガイドライン。
- 『Versal ACAP GTY トランシーバー アーキテクチャ マニュアル』(AM002) の [ボード デザインのガイドライン](#)

2. IP の製品ガイドでメモリ IP および PCIe<sup>®</sup> デザインのガイドラインを確認します。
3. Vivado ツールを使用して I/O プランニングを検証します。
  - 同時スイッチ ノイズ (SSN) 解析を実行します。
  - ビルトイン DRC を実行します。
  - IBIS (I/O Buffer Information Specification) モデルをエクスポートします。
4. 次のようにシグナル インテグリティ 解析を実行します。
  - ギガビット トランシーバー (GT) に対し、チャンネル パラメーターを使用して SPICE または IBIS-AMI シミュレーションを実行します。
  - パフォーマンスの低いインターフェイスに対し、IBIS シミュレーションを実行してオーバーシュートやアンダーシュートの問題がないかどうかをチェックします。
5. XPE で [Process] を [Maximum] に設定し、デザインの消費電力の初期見積もりを生成します。
6. 終了してデバイスの回路図チェックリストに従います。

**注記:** 詳細は、『Versal ACAP 回路図レビュー チェックリスト』 ([XTP546](#)) を参照してください。
7. Vivado ツールの XDC ファイルに XDC 制約を手動で追加します。

# デバイスの消費電力およびシステムの依存性

PCB をプランニングする際は、消費電力を考慮する必要があります。『Versal ACAP デザイン ガイド』([UG1273](#))の [FPGA の消費電力と熱のプランニングおよび解析](#) および次を参照してください。

- デバイスとユーザー デザインにより、システム電源と放熱の要件が決定します。
- デバイスの動作中、電源が最大消費電力要件を満たすようにし、推奨される電圧および温度動作条件内に収まるようにする必要があります。デバイスがこれらの制限内に収まるようにするため、消費電力の見積もりと熱モデルが必要です。
- 電源レールを統合することをプランニングし、それが電源ドメイン切り替えにどのように影響するかを把握するようにします。
- 統合は可能ですが、柔軟性を最大限にするため、ザイリンクスでは可能な限り完全なパワー マネージメントを使用することをお勧めします。

これらの理由から、デバイスの消費電力要件および冷却要件を理解し、ボード設計に組み込む必要があります。



**電源/消費電力ヒント:** ザイリンクス パートナーおよびザイリンクス認定の電源供給リファレンス デザインは、ザイリンクス ウェブサイトの [消費電力削減](#) ページを参照してください。

## デバイスの電源パス

デバイスに電源を供給するには複数の電源が必要であり、特定の順序で投入する必要があります。デバイスおよびその他のアクティブ コンポーネントに正しい順序で電源を投入するため、電源モニターまたはシーケンス回路を使用することを考慮してください。より複雑な環境では、マイクロコントローラーを使用するか、MBUS や PMBUS などのパワー マネージメント バスを使用して、電源とリセット プロセスを制御すると有益な場合があります。レールの統合、電源投入順などのデザインに適切に電源供給するための詳細は、Xilinx Power Estimator (XPE) ツールを参照してください。

異なるデバイス リソースに、個別の電源から必要な電力が供給されます。これにより、さまざまなリソースを異なる電圧レベルで動作させることができるので、ノイズや寄生効果に対して高い耐性を保ちながら、パフォーマンスおよび信号強度を向上できます。

## 電力タイプ

デバイスは、電源を投入してから切るまでの間に、電力要件の異なるいくつかの電力フェーズを経過します。

## 電源投入

電源投入電力は、デバイスに最初に電力を投入したときに発生する過渡スパイク電流です。この電流は、各電圧電源で異なり、デバイスの構造、電源ソースが公称電圧に上昇する能力、温度や電源シーケンスなどのデバイスの動作条件に依存します。

現代のデバイス アーキテクチャでは、電源投入シーケンスのガイドラインに従えば、スパイク電流は発生しません。

## スタートアップ電力

スタートアップ電力は、デバイスの初期の立ち上げおよびコンフィギュレーションに必要な電力です。この電力は通常短期間に発生するので放熱を考慮する必要はありませんが、電流要件は満たす必要があります。ほとんどの場合、動作中のデザインのアクティブ電流の方が高いので、変更は必要ありません。ただし、アクティブ電流が低い低消費電力デザインでは、この期間電流要件を高くすることが必要な場合があります。XPE を使用して、この要件を理解できます。[Process] を [Maximum] に設定すると、電源投入時の電流が動作電流を超えた場合、各電圧レールの電源投入時の電流要件が [Power Design] タブに表示されます。

## スタティック消費電力

スタンバイ電力 (デザインのスタティック消費電力) は、デバイスがデザインでコンフィギュレーションされたときに供給される電力で、外部から適用されるアクティビティや内部で生成されるアクティビティはありません。

スタンバイ電力は、デザインの動作中に供給する必要がある最小継続電力を示します。

## ダイナミック消費電力

ダイナミック消費電力は、デバイスでアプリケーションが実行され、スイッチング アクティビティ (クロックとデータパスが High と Low の間で遷移) が発生しているときに必要な電力です。ダイナミック消費電力は、一定期間内のデバイス回路の平均スイッチング アクティビティに基づいて計算されます。総消費電力には、スタティック消費電力とダイナミック消費電力の両方が含まれます。

---

# 消費電力に影響する要因

## 消費電力に影響する環境要因

デザイン自体だけでなく、環境要因も消費電力に影響します。これらの要因は、デバイスの電圧およびジャンクション温度に影響するので、消費電力に影響します。詳細は、『Xilinx Power Estimator ユーザー ガイド (Versal ACAP 用)』(UG1275: [英語版](#)、[日本語版](#)) の温度設定を参照してください。



**熱ヒント:** -1L、-2L、および -2E Versal デバイスでは、定義された時間内であれば 110°C までの温度逸脱が許容されるので、熱ソリューションのコストを削減できます。詳細は、『逸脱温度を利用した熱ソリューションの拡張』(WP517: [英語版](#)、[日本語版](#)) を参照してください。

## 電源レール統合の消費電力への影響

消費電力管理のため電源ドメインの切り替えを活用するには、一部の電源レールを個別にしておく必要があります。そうすると、電源ドメイン切り替えロジックを使用してレールの電源を個別に切断することが可能になりますが、電圧レギュレータまたはレギュレータ出力が追加されます。

## 消費電力モデルの精度

ツールに組み込まれている特性データの精度は、デバイスの入手可能性や製造プロセスの成熟度を反映してしだいに進化します。



**電源/消費電力ヒント:** 消費電力見積りの精度は、入力するデータの精度で決まります。ザイリンクスでは、詳しい見積もりを実行し、その結果と熱評価をデザイン制約として使用することをお勧めします。

## デバイスの消費電力と全般的なシステム設計プロセス

プロジェクト考案から完成まで、さまざまなデザイン プロセスの側面が消費電力に影響します。詳細は、『Vivado Design Suite ユーザー ガイド: 消費電力解析および最適化』 ([UG907](#)) を参照してください。



**電源/消費電力ヒント:** 設計プロセス中、`set_operating_conditions -design_power_budget <Power in Watts>` XDC 制約を使用してデザインの総消費電力を消費電力バジェットと比較できます。消費電力バジェットを超えている場合にデザインの消費電力を修正するには、早期に処置を取るのが最も簡単です。

## Xilinx Power Estimator (XPE) を使用したワースト ケース消費電力解析

ザイリンクスでは、ワースト ケースの消費電力のボードを設計することをお勧めします。詳細は、『Xilinx Power Estimator ユーザー ガイド (Versal ACAP 用)』 ([UG1275](#)) を参照してください。

## NoC および DDRMC の消費電力見積もり

Versal ACAP XPE には、次の図に示すように、NoC および DDR4 メモリ コントローラー (DDRMC) の消費電力見積もり用の専用シートがあります。

図 4: XPE の NoC および DDRMC の消費電力見積もり用シート

NoC-DDRMC Power											
Summary			Import File			DDRMC Wizard					
Power			Dynamic Power			Utilization					
V <sub>cc_soc</sub>	0.800V	2.799W	NoC		2.195W	Hard MC	2	50%			
17% of total on-chip power 16.377W			DDRMC		0.604W	Clock Buffers	30	47%			
									NoC Clock (MHz)	950.0	
DDRMC Configuration						Bandwidth per Channel					Power
Standard	ECC	Channels	Data Rate (Mbps)	Data Width	Total Data Width	Read (MBps)	Write (MBps)	Command Bus Option	Input Termination	Output Termination	V <sub>cc_soc</sub> (W)
DDR4	Disabled	1	3200	32	32	3840	3840	Highest Data Rate	RTT_40	RDRV_40	0.323
LPDDR4	Disabled	1	3200	32	32	3840	3840	Highest Data Rate	RTT_40	RDRV_40	0.280
											0.000
											0.000
											0.000
											0.000
											0.000
											0.000
											0.000
NoC		Data Path		Bandwidth (MBps)		Transaction Size (Bytes)		Switches		V <sub>cc_soc</sub> (W)	
				Read	Write	Read	Write				0.800V
		PL->DDR4		10000	10000	64	64	9		0.422	
		PS->AI Engine		10000	10000	64	64	16		0.669	
						64	64	0		0.000	

消費電力を正確に見積もるには、次のフローを使用することをお勧めします。

- 手動入力フロー: このフローは、Vivado ツール デザインがまだない、または準備ができていない初期段階の消費電力見積もりに使用します。
  - NoC データパスの設定を手動で入力して消費電力見積もりを取得します。
  - デザインでハード DDR を使用する場合は、DDRMC ウィザードを使用して DDR インターフェイスを作成します。
- Vivado ツール インポート/エクスポート フロー: このフローは、Vivado ツールで NoC を IP として追加した IP インテグレーター デザインを作成した後に、より正確な NoC 消費電力見積もりを取得するために使用します。このフローでは、Vivado ツールで NoC の消費電力見積もりに必要なすべての情報を含む .xpe ファイルを生成します。
  - Vivado IP インテグレーター デザインで `validate_bd_design` を実行すると、NoC 設定を含む `NOC_Power.xpe` ファイルが生成されます。
  - NoC デザインの .xpe ファイルを生成したら、この .xpe ファイルを Versal ACAP XPE の [NoC-DDRMC] シートにインポートします。
  - XPE で、IP インテグレーター ブロック デザインからの NoC ソリューションに基づいて、.xpe ファイルからの NoC および DDRMC データが使用されます。

**注記:** 詳細は、『Xilinx Power Estimator ユーザー ガイド (Versal ACAP 用)』 ([UG1275](#)) を参照してください。

## AI エンジンの消費電力見積もり

AI コアシリーズでは、Versal ACAP XPE に AI エンジン用のシートがあります。XPE を使用すると、初期見積もりを実行したり、AI エンジン コンパイルが使用可能になった後に詳細な見積もりを実行したりできます。

図 5: XPE の AI エンジン シート

Summary

Import File

AI Engine Power

Power

V<sub>CCINT</sub>

0.700V

11.110W

V<sub>CCAUX</sub>

1.500V

0.029W

Total

11.139W

Utilization

Core

120

30%

PL Stream

84

15%

NoC Stream

0

0%

Dynamic Power

AIE Core

6.690W

Memory

4.449W

Frequency (MHz)

1000.00

Interface Array Power

Type

Number of Streams

Power

PL

84

0.181W

NoC

0

0.000W

Module Name	AI Engine Core			Data Memory		Interconnect		V <sub>CCINT</sub> (W)
	Cores	Kernel Type	Vector Load	Memory Banks	Memory R/W Rate	AI Engine Tiles	Interconnect Load	
Graph	20	Int8	50%	160	20%	20	12%	1.743
	40	Int8	61%	320	31%	40	12%	4.295
	60	Floating Point	71%	480	36%	60	12%	4.562



# クロック リソースのプランニングおよび 割り当て

ザイリンクスでは、デザインの最初の段階の 1 つとして、ピン配置を選択する前にクロック リソースを選択することをお勧めします。クロックを選択すると、特定のピン配置が決定し、そのロジックの配置を指定できます。クロックを適切に選択することにより、優れた結果を得ることができます。次を考慮します。

- 特にリソース使用率の高い大型デバイスでは、クロック プランニングと共に制約を作成します。
- デザイン クロージャに必要な場合は、クロック リソースを手動で配置します。
- 高パフォーマンス I/O インターフェイスに、XPHY ロジックを使用する XPIO SelectIO™ インターフェイスを使用します。このインターフェイスはデバイスの一番下の行にあり、特定のクロック要件がありますが、これらの要件は Advanced IO Wizard および Advanced IO Planner を使用すると満たされます。
- PS および GT リソースの下にある XPIO コーナー バンクでは、BUFGCE\_DIV および BUFGCTRL リソースへの直接アクセスがないなど、クロッキング機能は限られます。
- 追加のデバイス特有の機能には、問題を回避してデバイス機能を利用するために、前もってプランニングしておく必要があるものもあります。Versal デバイスの機能の詳細は、『Versal ACAP クロッキング リソース アーキテクチャ マニュアル』(AM003: [英語版](#)、[日本語版](#)) の [グローバル クロック入力](#)、『Versal ACAP SelectIO リソース アーキテクチャ マニュアル』(AM010: [英語版](#)、[日本語版](#))、および『Versal ACAP パッケージおよびピン配置アーキテクチャ マニュアル』(AM013: [英語版](#)、[日本語版](#)) の「XPIO バンク内のバイト間およびニブル間クロッキング」の表を参照してください。

**注記:** PLL/MMCM に配線できるのは、GC ピンのみです。XPHY 受信インターフェイスのストローブ (デスティネーション クロック) に使用できるのは、XCC ピンのみです。XCC の選択により、ストローブで到達可能な XPHY とその数が決定されます。これらの規則の詳細は、『Versal ACAP SelectIO リソース アーキテクチャ マニュアル』(AM010: [英語版](#)、[日本語版](#)) の「XPIO バンク内のニブル間およびバイト間クロッキング」を参照してください。

# I/O プランニング デザイン フロー

Vivado® IDE では、デザインの I/O ポートおよびクロック ロジックをインタラクティブに確認、表示、割り当て、および検証できます。この環境では、I/O を割り当てたときにそれが正しいかどうかを検証されます。外部パッケージピンと内部ダイパッドの関係も表示されます。

デバイス内のデータフローを表示でき、外部および内部の視点から I/O を適切にプランニングできます。Vivado IDE で I/O を割り当ておよび設定すると、インプリメンテーション用に制約が自動的に作成されます。

ザイリンクスでは、使用可能な XPHY ロジック リソースを最大限に活用するため、高速インターフェイスを次の順序で I/O プランニングすることをお勧めします。

1. NoC を介する統合 DDRMC
2. ソフト メモリ コントローラー
3. Advanced IO Wizard
4. I/O ロジック

Vivado Design Suite の I/O およびクロック プランニング機能の詳細は、『Vivado Design Suite ユーザー ガイド: I/O およびクロック プランニング』 ([UG899](#)) を参照してください。



**推奨:** Versal™ デバイスでは、特定のクロッキング規則に従うメモリおよびその他の高速 I/O インターフェイス用のザイリンクス IP を使用できます。このためザイリンクスでは、基本的なロジックとザイリンクス IP を含むネットリストベースの I/O プランニングを使用して、DRC を実行することをお勧めします。

## I/O プランニングの実行可能な Vivado Design Suite プロジェクト タイプ

I/O プランニングは、次のいずれかのプロジェクト タイプで実行できます。

- I/O プランニング プロジェクト: I/O プランニング プロジェクトは簡単なエン트리 ポイントで、一部の I/O 制約を指定して、定義したピンから最上位 RTL ファイルを生成できます。



**推奨:** Versal デバイスでは、I/O ピン プランニング プロジェクトで低パフォーマンス I/O ロジック インターフェイスのみがサポートされます。そのため、ザイリンクスでは RTL および高パフォーマンス XPHY ロジックをサポートするザイリンクス IP コアを使用することをお勧めします。

- RTL プロジェクト: RTL プロジェクトでは、合成およびインプリメンテーションが可能であり、より包括的なデザイン ルール チェック (DRC) を実行できます。また、IP コアも生成できます。これは、メモリ インターフェイスのピン配置プランニング、高パフォーマンス XPHY ロジック、および GT を使用するコアで重要です。

合成後のネットリストでは、さらに包括的な DRC を実行できます。インプリメンテーションおよびビットストリーム生成後も同様です。このため、ザイリンクスでは、クロック コンポーネントと一部の基本的なロジックを含むスケルトン デザインを使用して、DRC を実行することをお勧めします。これにより、後でボードで問題が発生しないピン定義を作成できます。

推奨されるサインオフ プロセスは、RTL プロジェクトをビットストリーム生成まで実行し、すべての DRC を実行する方法です。ただし、デザイン サイクルによってはそれほど時間がなく、合成可能な RTL が作成される前に I/O コンフィギュレーションを定義することが必要な場合もあります。Vivado ツールでは RTL 作成前に I/O プランニングを実行できますが、この時点で実行可能な DRC チェックは限られます。また、I/O 規格とピン割り当てを含むダミーの最上位デザインを作成すると、バンク規則に関連する DRC を実行するのに役立ちます。

## RTL 作成前の I/O プランニング

Versal デバイスでは、特定のクロッキング規則に従うメモリおよびその他の高速 I/O インターフェイス用のザイリンクス IP が多用されるため、RTL 作成前の I/O プランニングはお勧めしません。

## ネットリスト ベースの I/O プランニング

ザイリンクスでは、I/O およびクロック ロジック制約はデザインの合成後に設定することをお勧めします。Versal デバイスでは、ザイリンクスでは RTL プロジェクトで基本的なロジックと一緒にすべての IP および I/O をインスタンス化することをお勧めします。その後、プロジェクトを合成できます。メモリ インターフェイスおよび高速 I/O インターフェイスなどのザイリンクス IP では、Advanced IO Wizard を使用すると、構築しながら正しくピン配置を割り当てることが可能です。レガシの I/O ロジックを使用する低パフォーマンス インターフェイスでは、[Package] ウィンドウにドラッグ アンド ドロップすることでピン配置を実行できます。

## ピン割り当てに必要な情報

ツールが効果的に機能するためには、I/O の特性およびトポロジに関する情報をできるだけ多く供給する必要があります。I/O 規格、駆動電流、スルー レート、I/O の方向などの電気特性を指定する必要があります。

また、接続、クロックのトポロジ、タイミング制約などの関連情報も考慮する必要があります。クロッキングの選択はピン配置に、ピン配置はクロッキングに大きく影響します。

トランシーバー、PCIe® コア、メモリ インターフェイス、高速 I/O インターフェイスなどの I/O 要件を持つ IP の場合は、I/O ピン割り当てを終了する前に IP を設定しておく必要があります。I/O の電気特性の指定方法は、『Vivado Design Suite ユーザー ガイド: I/O およびクロック プランニング』(UG899)のこのセクションを参照してください。



**重要:** Versal デバイスでは、コーナー バンクの一部の I/O など、PL 領域に到達できない I/O もあります。詳細は、『Versal ACAP クロッキング リソース アーキテクチャ マニュアル』(AM003: [英語版](#)、[日本語版](#))、『Versal ACAP SelectIO リソース アーキテクチャ マニュアル』(AM010: [英語版](#)、[日本語版](#))、および『Versal ACAP パッケージおよびピン配置アーキテクチャ マニュアル』(AM013: [英語版](#)、[日本語版](#))を参照してください。

## ピン配置の選択

ザイリンクスでは、次のセクションに説明するように、特定の信号のピン配置を注意して選択することをお勧めします。

## ピン配置選択の一般的なガイドライン

次に、一般的なガイドラインを示します。

- 同じインターフェイスのデータ ピン、アドレス ピン、制御ピンを同じバンクにグループ化します。これらのコンポーネントを同じバンクにグループ化できない場合、隣接するバンクにグループ化します。
- インターフェイス制御信号 (クロック、イネーブル、リセット、ストローブ) を、制御の対象となるデータ バスの中央に配置します。
- デザイン全体で使用されるファンアウトの大きい制御信号を、デバイス中央に配置します。

## プラットフォーム管理コントローラー ピン

効率の良いシステムを設計するには、システム要件に最適なデバイス ブート モードを選択する必要があります。各ブート モードでは、プラットフォーム管理コントローラー (PMC) の異なるピンが使用されます。次を考慮します。

- PMC 専用、PMC MIO (Multiplexed I/O) ピン、および PL EMIO (Extended Multiplexed I/O) ピンを確認します。  
**注記:** 各ブート モードでは、専用 I/O ピンまたは MIO (Multiplexed I/O) ピンのセットが使用されます。MIO ピンは、ブートが完了すると汎用ピンになります。
- 選択したブート モードにより、MIO バンクを共有するペリフェラルに望ましくない電圧制限が課せられていないことを確認してください。
- 異なる PMC ピンに適した終端を選択します。
- PMC ピンのプルアップまたはプルダウン抵抗に推奨される値を使用します。



**推奨:** ボード上のシグナル インテグリティ 解析を実行して、PMC ピンの信号の質を確認します。

複数のブート モード オプションがあります。柔軟性がありますが、各システムに最適なソリューションがあるのが一般的です。ブート モード オプションを選択する際は、次を考慮します。

- 設定 (ピンの数および場所を含む)
- スピード
- コスト
- 複雑さ

デバイスのブート モード オプションの詳細は、次を参照してください。

- 『Versal ACAP テクニカル リファレンス マニュアル』 (AM011) の [プラットフォーム、ブート、制御、およびステータス](#)
- 『Versal ACAP PCB デザイン ユーザー ガイド』 (UG863: [英語版](#)、[日本語版](#)) の [PS](#)、[PMC](#)、[MIPI](#)、および [GTY/GTY トランシーバー インターフェイスの PCB ガイドライン](#)
- 『Vivado Design Suite ユーザー ガイド: プログラムおよびデバッグ』 (UG908)

## メモリおよびアドバンス I/O インターフェイス

ザイリンクス メモリ IP および Advanced IO Wizard IP を使用する場合は、追加の I/O ピン プランニング手順が必要です。IP をカスタマイズした後、Vivado IDE でエラボレート済みデザインまたは合成済みデザインを開いて最上位 IP ポートを物理的なパッケージ ピンに割り当てます。各メモリ IP または Advanced IO Wizard IP に関連するすべてのポートは I/O ポート インターフェイスとしてグループ化されており、簡単に特定および割り当てできます。Advanced I/O Planner が提供されており、I/O ピン グループを物理的なデバイス ピンの XPHY NIBBLESlice に割り当てて使用できます。詳細は、『Versal ACAP SelectIO リソース アーキテクチャ マニュアル』(AM010: [英語版](#)、[日本語版](#)) のこのセクション、『Advanced I/O Wizard LogiCORE IP 製品ガイド』(PG320) のこのセクション、またはご使用のメモリ IP の製品ガイドを参照してください。



**重要:** 『Versal ACAP PCB デザイン ユーザー ガイド』(UG863: [英語版](#)、[日本語版](#)) のメモリ インターフェイスの PCB ガイドラインに、設計およびピン配置のガイドラインが含まれています。このガイドで推奨されるトレース長を使用し、正しい終端が使用されていることを確認して、Advanced I/O Planner での I/O 割り当ての後に DRC を実行してピン配置を検証してください。

## ギガビット トランシーバー (GT)

ギガビット トランシーバー (GT) には、特定のピン配置要件がありますので、次に注意する必要があります。

- 基準クロックの共有
- 同じクワッド内での PLL の共有
- PCIe、MRMAC などの GT ハード ブロックの配置と、それらのトランシーバーへの距離

ザイリンクスでは、コアの生成に GT ウィザードを使用することをお勧めします。または、このプロトコルにはザイリンクス IP コアを使用できます。推奨されるピン配置は、該当する製品ガイドを参照してください。

## インターフェイスの帯域幅の検証

小型のコネクティビティ デザインを作成し、デザイン上の各インターフェイスを検証します。このような小型のデザインでは、特定のハードウェア インターフェイスのみが使用され、次が可能になります。

- ピン配置、クロッキング、およびタイミングのフル DRC チェック
- ボードが返ってきたときのハードウェア テスト デザイン
- Vivado ツールを使用して高速にインプリメンテーションし、インターフェイスを最短時間でデバッグ

これらのインターフェイス用にテスト データを生成するには、複数のオプションがあります。一部のインターフェイス IP コアでは、Vivado ツールで次のテスト デザインを生成できます。

- SerDes の IBERT
- IP コア内のサンプル デザイン



**ヒント:** テスト デザインがない場合は、AXI トラフィック ジェネレーターの使用を考慮してください。

プロダクション環境では、システム レベルのテスト用に別のデザインを作成する必要があることもあります。これは通常、テスト済みインターフェイスとオプションでプロセッサを含む 1 つのデザインです。このデザインは、小型のコネクティビティ デザインを使用してデザインを再利用することにより構築できます。このデザインはフローの初期段階では必要ありませんが、Vivado IP インテグレーターを使用してすばやく作成でき、使用するとより多くの DRC チェックが有効になり、ソフトウェアを早期に開発できるようになります。

# ブートおよびコンフィギュレーション

Versal ACAP には、ブートアッププロセス、セキュリティ、パワー マネージメント、および BSCAN やデバッグ コア 接続などの PL へのデバッグ インターフェイスを制御する中央プラットフォーム管理コントローラー (PMC) があります。Versal ACAP には PMC 用に個別の電力ドメインがあり、PL、NoC プログラミング インターフェイス (NPI)、および PS エlementをコンフィギュレーションする前に電源を投入してブートアップする必要があります。Versal ACAP PMC では、ブートに bootROM とプラットフォーム ロードーおよびマネージャー (PLM) が使用されます。

Versal デバイスは、外部不揮発性メモリ デバイスから PMC MIO (Multiplexed I/O) ピンを介してブートできます。マイクロプロセッサやマイクロコントローラーなどの外部スマート ソースからブートすることも可能です。

ボード プランニングの際は、初期段階からブート モードおよびペリフェラル モードを考慮し、必要なオプションが競合する MIO に配置されないようにしてください。サポートされるブート モード、使用される MIO、およびトレードオフについては、『Versal ACAP テクニカル リファレンス マニュアル』 ([AM011](#)) を参照してください。

---

## ボード設計でのヒント

ボード設計では、コンフィギュレーションだけでなく、どのインターフェイスおよびピンがデバッグに役立つかを考慮することが重要です。たとえば、サイリンクスでは、JTAG が主なコンフィギュレーション モードでない場合でも、ボードの JTAG インターフェイスにアクセスできるようにしておくことをお勧めします。JTAG インターフェイスを使用すると、デバイス ID およびデバイス DNA 情報を確認でき、プロトタイプ時にこのインターフェイスを使用して間接プログラム ソリューションをイネーブルにできます。

また、DONE などの信号は、デバイス コンフィギュレーションのデバッグに重要です。サイリンクスでは、DONE 信号を LED ドライバーおよびプルアップを使用して LED に接続することをお勧めします。

推奨されるプルアップ値は、『Versal ACAP PCB デザイン ユーザー ガイド』 (UG863: [英語版](#)、[日本語版](#)) の [PS](#)、[PMC](#)、[MIPI](#)、および [GTY/GTY トランシーバー インターフェイスの PCB ガイドライン](#) および『Versal ACAP 回路図 レビュー チェックリスト』 ([XTP546](#)) を参照してください。

# その他のリソースおよび法的通知

## ザイリンクス リソース

アンサー、資料、ダウンロード、フォーラムなどのサポート リソースは、[ザイリンクス サポート](#) サイトを参照してください。

## Documentation Navigator およびデザイン ハブ

ザイリンクス Documentation Navigator (DocNav) では、ザイリンクスの資料、ビデオ、サポート リソースにアクセスでき、特定の情報を取得するためにフィルター機能や検索機能を利用できます。DocNav を開くには、次のいずれかを実行します。

- Vivado® IDE で [Help] → [Documentation and Tutorials] をクリックします。
- Windows で [スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [DocNav] をクリックします。
- Linux コマンド プロンプトに「docnav」と入力します。

ザイリンクス デザイン ハブには、資料やビデオへのリンクがデザイン タスクおよびトピックごとにまとめられており、これらを参照することでキー コンセプトを学び、よくある質問 (FAQ) を参考に問題を解決できます。デザイン ハブにアクセスするには、次のいずれかを実行します。

- DocNav で [Design Hub View] タブをクリックします。
- ザイリンクス ウェブサイトで[デザイン ハブ](#) ページを参照します。

**注記:** DocNav の詳細は、ザイリンクス ウェブサイトの [Documentation Navigator](#) ページを参照してください。DocNav からは、日本語版は参照できません。ウェブサイトのデザイン ハブ ページをご利用ください。

## 参考資料

このガイドの補足情報は、次の資料を参照してください。

1. 『Versal ACAP PCB デザイン ユーザー ガイド』 (UG863: [英語版](#)、[日本語版](#))
2. 『Xilinx Power Estimator ユーザー ガイド (Versal ACAP 用)』 ([UG1275](#))
3. 『Versal ACAP システム統合および検証設計手法ガイド』 ([UG1388](#))



4. 『Vivado Design Suite ユーザー ガイド: プログラムおよびデバッグ』 (UG908)
5. 『Vivado Design Suite ユーザー ガイド: I/O およびクロック プランニング』 (UG899)
6. 『Versal ACAP AI エンジン カーネル コーディング ユーザー ガイド』 (UG1079)
7. 『S パラメーター モデルを使用した FPGA パワー インテグリティのシミュレーション』 (WP411)
8. 『逸脱温度を利用した熱ソリューションの拡張』 (WP517: [英語版](#)、[日本語版](#))
9. 『Versal ACAP 回路図レビュー チェックリスト』 (XTP546)
10. 『Versal ACAP クロッキング リソース アーキテクチャ マニュアル』 (AM003: [英語版](#)、[日本語版](#))
11. 『Versal ACAP SelectIO リソース アーキテクチャ マニュアル』 (AM010: [英語版](#)、[日本語版](#))
12. 『Versal ACAP テクニカル リファレンス マニュアル』 (AM011)
13. 『Versal ACAP パッケージおよびピン配置アーキテクチャ マニュアル』 (AM013: [英語版](#)、[日本語版](#))
14. 『リッドレス フリップチップ パッケージの機械/熱設計ガイドライン』 (XAPP1301: [英語版](#)、[日本語版](#))
15. 『Advanced I/O Wizard LogiCORE IP 製品ガイド』 (PG320)

## お読みください: 重要な法的通知

本通知に基づいて貴殿または貴社 (本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ) に開示される情報 (以下「本情報」といいます) は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1) 本情報は「現状有姿」、およびすべて受領者の責任で (with all faults) という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず (商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない (否認する) ものとし、また、(2) ザイリンクスは、本情報 (貴殿または貴社による本情報の使用を含む) に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない (契約上、不法行為上 (過失の場合を含む)、その他のいかなる責任の法理によるかを問わない) ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害 (第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます) が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うことになります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

### 自動車用のアプリケーションの免責条項

オートモーティブ製品 (製品番号に「XA」が含まれる) は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能 (「セーフティ 設計」) がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション (「セーフティ アプリケーション」) における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティ アプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

## 商標

© Copyright 2021 Xilinx, Inc. Xilinx、Xilinx のロゴ、Alveo、Artix、Kintex、Spartan、Versal、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。PCI、PCIe、および PCI Express は PCI-SIG の商標であり、ライセンスに基づいて使用されています。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。